

論理回路の故障診断法——外部出力応答に基づく故障箇所指摘法の発展——

高松 雄三[†] 佐藤 康夫^{††} 高橋 寛^{††a)} 樋上 喜信^{†††}
山崎 浩二^{††††}

Fault Diagnosis for Logic Circuits —— Development of Methods for Identifying Fault Locations Based on Output Responses ——

Yuzo TAKAMATSU[†], Yasuo SATO^{††}, Hiroshi TAKAHASHI^{†††a)},
Yoshinobu HIGAMI^{†††}, and Koji YAMAZAKI^{††††}

あらまし LSI の微細化技術の進展並びに高集積化・高速化に伴い、論理回路の故障診断は、(1) 故障原因を調べてテストヘフィードバックすることで LSI の品質を向上させること、(2) 製造プロセスの歩留りを決めるプロセスの欠陥や設計の不具合を調べ、その対策を施すことで製造歩留りを向上させること、などの手段として近年その重要性を増している。そこで、本論文では、論理回路の故障診断法について概説する。まず、故障診断法の基本概念として、故障モデル及び故障診断法の基本的な方法である原因-結果分析法と結果-原因分析法を簡単に説明する。次に、複雑な故障に対応する故障診断技術の発展の観点から、論理回路の故障診断法を「論理故障ベース診断法」と「欠陥ベース診断法」に分類し、それらの概要を述べる。本論文では、単一縮退故障、多重縮退故障、ブリッジ故障、オープン故障及び X 故障に対してこれまで開発されている論理故障ベース診断法をそれぞれ概説する。また、ブリッジ故障、オープン故障及びセル内故障に対してこれまで開発されている欠陥ベース診断法をそれぞれ概説する。

キーワード 故障診断, 原因-結果分析法, 結果-原因分析法, 論理故障ベース診断法, 欠陥ベース診断法

1. ま え が き

近年、半導体製造プロセスの微細化や LSI の高集積化・高速化に伴い、故障原因の多様化が生じてきた。故障診断は多様化した故障原因を絞り込むことにより、テストヘフィードバックして LSI の品質の向上を図る、また、製造プロセスの欠陥や設計の不具合への対策を施すことで製造歩留りの向上を図る手段としてその重

要性を増している。故障原因となる物理欠陥としては、配線間の短絡や断線及びゲート酸化膜のリークなどが代表的である。

故障診断に関する研究は古くから行われており、1960 年代のテストに関連して、デジタルシステムの故障診断の研究がある [1]。そして 1980 年ごろまでは「電源線あるいは接地線との短絡」を表す縮退故障モデルでの故障診断法が多く研究されてきた。

本論文では、これまで開発された故障診断の研究において、特に、論理回路の外部出力応答に基づく故障診断法に関して述べ、その技術が急速に進歩した 1990 年代以降に焦点を絞って概説する。ハードウェア解析装置による観測値や電源電流測定値に基づく故障診断法も提案されているが、本論文では扱わない。まず、故障モデルに関して簡単に説明する。次に、故障と外部出力応答の因果関係を分析する基本的な方法として、原因-結果分析法 (cause-effect analysis) と結果-原因分析法 (effect-cause analysis) について簡単に説

[†] 愛媛大学, 松山市
Ehime University, Matsuyama-shi, 790-8577 Japan

^{††} 九州工業大学大学院情報工学研究院, 飯塚市
Graduate School of Computer Science and Systems Engineering, Kyushu Institute of Technology, Iizuka-shi, 820-8502 Japan

^{†††} 愛媛大学大学院理工学研究科, 松山市
Graduate School of Science and Engineering, Ehime University, Matsuyama-shi, 790-8577 Japan

^{††††} 明治大学情報コミュニケーション学部, 東京都
School of Information and Communication, Meiji University, Suginami-ku, Tokyo, 168-8555 Japan

a) E-mail: takahasi@cs.ehime-u.ac.jp

明する。

故障診断法においては、実用的な処理時間で正確に故障箇所を指摘することが望まれている。正確な故障診断を行うためには、故障モデルが欠陥の故障動作を正確に反映することが望ましい。しかしながら、論理動作に加えて物理動作を導入するという詳細すぎるモデルでは、故障診断の処理が複雑になり処理時間も増大する。これまで、論理故障モデルとして、信号線と電源線あるいは接地線との短絡を表す縮退故障モデルの故障診断法が古くから研究されてきた。また、故障診断プログラムを実行するコンピュータの処理能力の観点から縮退故障が診断回路にただ一つ存在するものと仮定する単一縮退故障モデルが主流であった。

しかしながら、近年のLSIの微細化技術の進展並びに高集積化・高速化に伴い、複雑な物理現象に基づく故障が増加し、単一縮退故障では表せない欠陥が生じている。そこで、近年のコンピュータ処理能力の著しい向上に伴って、信号線間の短絡に対する「ブリッジ故障」や信号線の断線に対する「オープン故障」などの故障モデルを導入することが可能となり、多様化する故障に対応してきた。更に、単一の故障では表せない故障を多重故障モデルとして拡張した。最近では、トランジスタ回路・レイアウト等の情報を利用して故障診断を行っている。

本論文では、複雑な故障に対応する故障診断技術の発展の観点から、論理回路の故障診断法を「論理故障ベース診断法」と「欠陥ベース診断法」に分類し、それらの概要を述べる。複雑な故障への対応として、単一縮退故障、多重縮退故障、ブリッジ故障、オープン故障及びX故障に対してこれまで開発されている論理故障ベース診断法を概説する。また、実用的な見地から欠陥ベース診断法についても述べる。ここでは、ブリッジ故障、オープン故障及びセル内故障に対してこれまで開発されている欠陥ベース診断法をそれぞれ概説する。

本論文の構成は以下のとおりである、まず、2. では、故障診断の基本概念について説明する。3. では、これまで提案された故障診断法を「論理故障ベース診断法」と「欠陥ベース診断法」に分類し、それらの概要を述べる。4. では、論理故障ベース診断法において提案されている故障診断法に関して述べる。5. では、欠陥ベース診断法について述べる。最後に、6. でまとめと今後の課題について述べる。

2. 故障診断の基本概念

2.1 用語の定義

準備として用語の定義を行う。

定義(フェイル出力とパス出力): 被検査回路にテストパターンを印加した際、その外部出力及びスキャンフリップフロップで得られる出力応答に基づいて、外部出力及びスキャンフリップフロップは次のように分類される。外部出力またはスキャンフリップフロップにおいて、テストパターンに対する期待値と異なる論理値を観測したならば、その外部出力(スキャンフリップフロップ)をフェイル外部出力(フェイルスキャンフリップフロップ)と呼ぶ。一方、外部出力またはスキャンフリップフロップにおいて、テストパターンに対する期待値と同一の論理値を観測したならば、その外部出力(スキャンフリップフロップ)をパス外部出力(パススキャンフリップフロップ)と呼ぶ。以後、簡単のため、フェイル外部出力及びフェイルスキャンフリップフロップをフェイル出力と書く。また、パス外部出力及びパススキャンフリップフロップはパス出力と書く。

定義(フェイルテストパターンとパステストパターン): 被検査回路の外部出力及びスキャンフリップフロップで得られる出力応答からテストパターンを次のように分類する。テストパターンが印加された被検査回路の外部出力及びスキャンフリップフロップにおいて、少なくとも一つがフェイル出力ならば、そのテストパターンを被検査回路に対するフェイルテストパターンと呼ぶ。一方、すべてがパス出力ならば、そのテストパターンを被検査回路に対するパステストパターンと呼ぶ。

定義(故障箇所): 故障が存在している信号線を故障箇所と呼ぶ。

定義(故障候補): 故障診断によって指摘された故障箇所を故障候補と呼ぶ。

2.2 故障モデル

本論文で対象とする故障モデルについて説明する。縮退故障とは、すべてのテストパターンにおいて信号線の論理値が0または1に固定される故障である。

ブリッジ故障とは、回路内の信号線の短絡に対する故障モデルである[2]。ブリッジ故障は、AND、ORブリッジ故障、及びドミナントブリッジ故障等がある。ANDブリッジ故障は、短絡した信号線の一方でも論理値0であれば、両方の信号線の論理値が0になる故

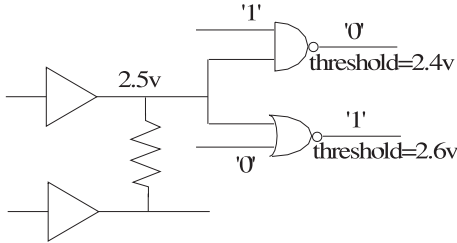


図 1 ビザンチン問題
Fig. 1 Byzantine problem.

障である．また，OR ブリッジは，短絡した信号線の一方でも論理値 1 であれば，両方の信号線の論理値が 1 になる故障である．AND (OR) ブリッジ故障をもつ信号線の組では，フェイルテストパターンによって信号線の組のどちらかの信号線の 0(1) 縮退故障を検出できる．ドミナントブリッジ故障では，ドライブ元信号線の値に支配されて，すべてのテストパターンでドライブ先信号線がドライブ元信号線の値と同一の値をとる．ドミナントブリッジ故障では，フェイルテストパターンはドライブ先信号線の 0 または 1 縮退故障を検出できる．また，故障の影響によってブリッジ故障箇所に中間電位を生じる場合，故障箇所に接続するゲートのしきい値電圧と中間電位の大小関係から，接続するゲートの出力が論理値 0 または 1 に決定されることをビザンチン将軍問題 [3]～[5] と呼ぶ．ビザンチン将軍問題の例を図 1 に示す．今，駆動電圧を 5 V，NAND ゲートのしきい値電圧が 2.4 V であり，NOR ゲートのしきい値電圧が 2.6 V とする．ブリッジ故障の信号線の電位が 2.5 V である場合，NAND ゲートの入力では論理値 1 として解釈され，NOR ゲートでは論理値 0 として解釈されるような場合である．

オープン故障は，信号線の断線をモデル化したものとゲート内のトランジスタが常に開放状態になる欠陥をモデル化したものに分けられる [6]～[16]．オープン故障が生じた信号線においては，その箇所がフローティング状態になり，その結果として中間電位をもつ．オープン故障が生じた信号線を入力とするゲートのしきい値電圧と中間電位の大小関係に従って縮退故障としてモデル化できる．オープン故障が生じた信号線が複数のゲートの入力となる場合は，ブリッジ故障と同様のビザンチン将軍問題が生じる．ビザンチン将軍問題が生じたオープン故障に対しては，単一縮退故障の組合せ [6], [7] や多重縮退故障 [8], [10] とみなして故障診断を行っている．最近の研究成果では，隣接信号線

表 1 故障辞書の例

Table 1 Example of a fault dictionary.

	t_1	t_2	t_3
f_1	PO_1, FF_1		PO_2
f_2			FF_2
f_3		FF_3	

の影響を考慮したオープン故障モデルも提案されている [9], [11]～[16]．

論理的な振舞いが予想困難な欠陥をモデル化するために X 故障モデルが提案されている [17]．X 故障モデルでは，ゲート内部若しくは信号線の任意の欠陥に対応する X 故障を一つもつものとする．ゲートの出力が次段の k 個のゲートに接続している場合，それらのゲートの入力となる k 本の信号線に起こり得るすべての故障を表すために各信号線に異なる X 故障を割り当てる．

2.3 故障と外部出力応答の因果関係の分析

故障診断とは，故障回路の外部出力応答を説明できる故障箇所とその振舞いを推定することである．故障を原因とし，その故障回路の外部出力応答を結果とするならば，それらの因果関係の分析法は，(1) 原因-結果分析法と (2) 結果-原因分析法の二つが考えられる．

原因-結果分析法は，すべての故障の振舞いをあらかじめ入出力応答表に作成する方法であり，故障辞書法とも呼ばれている [18]．したがって，故障モデルを仮定する必要があるが，一度，故障辞書を作成した後は，出力応答との一致をとることで候補故障数を削減することができる．

表 1 に故障辞書の例を示す． f_1, f_2, f_3 を対象故障とし， t_1, t_2, t_3 を印加するテストパターンとする．表中では，各故障が存在した場合のフェイル出力を表している．例えば故障 f_1 は， t_1 を印加したとき， PO_1, FF_1 に故障の影響が現れることを表している．もし，被検査回路に t_1, t_2, t_3 を印加したとき， t_2 のみにおいて FF_3 で誤り値が観測されたとする．このときの故障診断の候補故障は f_3 となる．

一方，結果-原因分析法はテストでの出力を分析し，故障を観測する外部出力から入力側へ経路を後方追跡することによって故障箇所を指摘する．故障候補を絞った後，最もよく説明できる故障モデルと故障箇所を指摘する手法である．故障辞書を作成しないので大規模回路に適用可能な実用的な手法となる．

図 2 は，故障診断の概要を示している．基本的な故障診断では，被検査回路に対するフェイルテストバ

ターンとそのフェイル出力に基づいて、故障候補を推定する。

単一故障をもつ回路に対する理想的な故障候補数は 1 箇所である。ただし、被検査回路に存在する故障が等価故障をもつならば、複数箇所が指摘される。

多重故障をもつ回路に対しては、被検査回路に存在するすべての故障を指摘することを目標とする故障診断法がある。この故障診断法では、(1) 故障候補の数、(2) 故障候補の組合せ、及び (3) 故障候補に含まれている実在する故障の数を評価している。一方、被検査回路に存在する少なくとも一つの故障を指摘することを目標とする故障診断法もある。この故障診断法では、故障診断結果として得られた実際の故障の順位がより上位であることを評価している。

故障診断においては、実在する故障箇所を含まない誤った故障候補のみを指摘した場合、その被検査回路に対して故障を見逃したことになる。

3. 故障診断法の分類

多様な物理欠陥により引き起こされる複雑な故障に

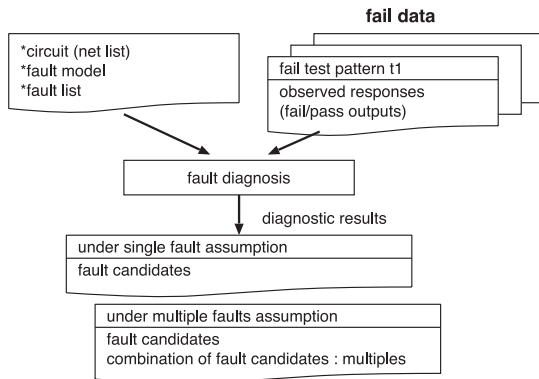


図 2 故障診断の概要

Fig. 2 Overview of fault diagnosis.

表 2 観測結果と単一縮退故障シミュレーション結果の対応

Table 2 Relation between observed responses and single stuck-at fault simulation results.

		テストパターン t を用いた単一縮退故障シミュレーションの結果	
		テストパターン t において故障候補を検出できない	テストパターン t において故障候補を検出できる
被検査回路の出力応答	テストパターン t はフェイルテストパターン	矛盾：故障の見逃し ○ 多重縮退故障マスク関係 ○ 単一縮退故障と異なる故障励起条件 (ブリッジ, オープン)	一致 検出できた故障を故障候補とする
	テストパターン t はパステストパターン	一致	矛盾：故障の見逃し ○ 単一縮退故障と異なる故障励起条件 (ブリッジ, オープン)

対して故障診断を行うために、どのような点に着目して故障診断法を拡張したかということで故障診断法を分類する。一つは、物理欠陥による故障の影響を論理値で表現する論理故障モデルを利用した「論理故障ベース診断法」であり、もう一つは更にトランジスタ回路・レイアウト等の情報を利用した「欠陥ベース診断法」である。

3.1 論理故障ベース診断法の概要

単一縮退故障は、信号線と電源線や接地線との短絡には十分に対応するが、それら以外の物理欠陥による故障に適用するには問題が生じる。ここで、ある故障回路に対して観測されたフェイルテストパターン及びパステストパターンと故障候補に対する単一縮退故障シミュレーションの結果を比較する。比較の結果を表 2 に示す。

単一縮退故障モデルのもとでは、観測結果からフェイルテストパターンと判定されたテストパターンを利用した単一縮退故障シミュレーションによって検出可能な単一縮退故障が故障候補となる。一方、次のような矛盾が考えられる。

(矛盾 1) 観測結果がフェイルテストパターンであるが、そのテストパターンを利用した単一縮退故障シミュレーションによって故障候補の故障を検出できない。

(矛盾 2) 観測結果がパステストパターンであるが、そのテストパターンを利用した単一縮退故障シミュレーションによって故障候補の故障を検出できる。

これらの矛盾が生じる場合、単一縮退故障モデルに基づく故障診断法においては実際に存在する故障の見逃しが生じる。これらの矛盾の原因としては、次の問題が考えられる。

(問題 1) 単一縮退故障においては、すべてのテストパターンにおいて故障値が 0 または 1 に固定するので、テストパターンにおいて故障値が異なるような故

障の振舞いに対応していない。

(問題 2) 多重縮退故障における故障のマスク関係に対応していない。故障のマスク関係とは、単一縮退故障モデルのもとで故障を検出できるテストパターンが、多重縮退故障のもとではその故障を検出できなくなることである。

(問題 3) ブリッジ故障のように、二つ以上の信号線が関係して励起する故障の振舞いに対応していない。そこで上記の問題 (1)~(3) に対応して、多様な物理欠陥による故障を診断するために、故障診断法は以下のように拡張されている。

(拡張 1) テストパターンごとに独立した故障診断法の導入：単独の故障だけを検出するテストパターンを利用して、テストパターンごとに単一縮退故障モデルに基づいて多重縮退故障を診断する手法が提案されている [19]。

(拡張 2) 故障シミュレーションの結果に基づく評価式の導入：故障候補に対する故障シミュレーションの結果が、観測されたフェイル出力とパス出力と一致している割合を評価する式を導入し、その評価式の結果に基づいて故障診断を行う手法が提案されている [20]~[22]。

(拡張 3) 複数の信号線による故障の振舞いを考慮した論理故障モデルの導入：複数の信号線による故障の振舞いを考慮するために、2.2 で述べた多重縮退故障、ブリッジ故障、または、オープン故障に対する論理故障モデルを導入し、それぞれの論理故障モデルに基づいて故障診断を行う手法が提案されている。

3.2 欠陥ベース診断法の概要

論理故障ベース診断法では、複数の信号線による故障の振舞いを考慮した故障モデルの導入、テストパターンごとに独立した故障診断法、あるいは故障シミュレーションの結果に基づく評価式の導入によって多様な故障モデルに対応可能となった。しかしながら、故障診断においては、以下の問題がある。

(問題 1) 論理故障ベース診断法は、信号線を故障候補とする。論理故障ベース診断法の結果に基づいてハードウェア解析装置を利用する場合、レイアウト上で長距離の信号線では欠陥位置の指摘が難しいため、座標単位の指摘が望まれる。

(問題 2) 論理的な等価信号線はそれ以上分解できない。多数の信号線が等価信号線となるために故障候補数が増加することが報告されている [7]。

(問題 3) オープン故障やセル内の故障の振舞いを表

現するためには、複数の信号線の論理値を考慮することが必要である [9], [11]~[16]。

そこで、論理故障ベース診断法だけでは故障箇所を絞りきれない故障に対応するために、欠陥ベース診断法が補完的な手法として研究されている。欠陥ベース診断法は確立された定義はないが、本論文では以下のいずれかの拡張が行われた手法として 5. で述べる。

(拡張 1) トランジスタ回路・レイアウト等の情報を活用し、故障箇所を詳細化する。

(拡張 2) トランジスタ回路・レイアウト等の情報を活用し、故障の励起条件を詳細化する。

4. 論理故障ベースの診断法

4.1 単一縮退故障に対する論理故障ベース診断法

単一縮退故障の代表的な診断法として、フェイル出力から張る円錐回路を利用する方法、故障辞書法、及び経路追跡法がある [18], [23]。

文献 [23] では、フェイル出力ごとに円錐回路を求め、それらの共通部分を求める手法を提案している。ここで、円錐回路とは、ある外部出力との間に経路をもつ信号線すべてからなる部分回路である。

故障辞書法では、被検査回路の出力応答と一致する故障を辞書から検索するのみであるため、短時間で故障候補を絞り込むことができる [18]。しかしながら、すべての出力応答を記録する完全故障辞書は大きな記憶容量を必要とするため、大規模な回路へ適用するための故障辞書を圧縮する様々な方法が提案されている [24]~[28]。

文献 [24] では、他の故障との分離に寄与しない出力応答を二分木を用いて求め、これらを削除している。一方、文献 [25]~[28] では、出力応答ではなく、テストパターンのフェイル情報のみを辞書の内容としている。文献 [25] はフェイル出力の情報を、文献 [26], [27] では故障回路の各テストの出力応答が基準となる値 (期待値など) と異なるか否かを辞書の内容としている。また、文献 [28] ではフェイルテストパターンや、故障の検出回数を辞書の内容とする方法が提案されている。

経路追跡法による単一縮退故障の診断では、フェイル出力から、誤りが伝搬している可能性のある経路を、期待値を基にして外部入力方向へ追跡していくことで故障候補を指摘する [29], [30]。ゲートの出力から入力へ追跡を行う際は (1) 制御値をもつ入力線がない場合はすべての入力線及び (2) 制御値をもつ入力線が

ある場合はその入力線を選択する．最終的な故障候補は、複数のフェイル出力から追跡された信号線の集合の積集合を求めることで得られる．再収れん経路が存在する回路に対して文献[29]の手法では、複数のゲートの入力に接続する信号線から再帰的な手順を用いてテストパターンごとの故障候補を絞り込んでいる．一方、文献[30]の手法では、再収れん経路の影響を無視して経路追跡を行うことで、診断時間の短縮を図っている．

4.2 多重縮退故障に対する論理故障ベース診断法

新しく製造された回路において歩留りの早期向上を目指すために、被検査回路内に2個以上の縮退故障が存在することを仮定した多重縮退故障に対する故障診断法[19], [20], [22], [31]~[45]が提案されている．

多重縮退故障に対する故障診断においては、次に述べるような問題を考慮しなければならない．

(問題1) 多重縮退故障を仮定した故障診断においては、フェイル出力から外部入力側に後方追跡で求めた円錐回路の共通な信号線を故障候補とするならば、被検査回路に存在する故障が故障候補に含まれない場合がある．多重縮退故障診断において故障の見逃しを防ぐためには、フェイル出力から外部入力側に後方追跡で求めた円錐回路の和を故障候補としなければならない．したがって、フェイル出力から張る円錐回路を利用する方法だけでは故障候補数が増加する．

(問題2) 多重縮退故障のもとでは、故障間にマスク関係が生じる．故障のマスク関係を考慮しない場合、故障候補から被検査回路に存在する故障を見逃す場合がある．

これらの問題を解決するために、多重縮退故障に対する故障診断法では、縮退故障シミュレーションを利用した原因-結果法に基づく故障診断法[19], [20], [22], [39], [41]~[45]と多重縮退故障モデルに拡張した結果-原因法[31]~[34], [36], [38], [40], [46]が提案されている．

まず、多重縮退故障モデルに拡張した結果-原因法[31]~[34], [36], [38], [40], [46]について述べる．初期の代表的な、多重縮退故障に対する故障診断法は、文献[31], [32]の手法である．これらの故障診断法では、故障のマスク関係を考慮して、多重縮退故障のすべての故障を指摘することを目指している．

文献[31]では、観測された出力応答と矛盾しないように、水平含意及び垂直含意を行って内部の信号線の論理値を推定することによって、故障値をもつ信号

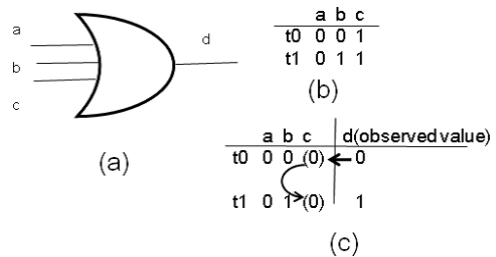


図3 水平/垂直含意の例

Fig. 3 Example of horizontal and vertical implication.

線を指摘している．水平含意とは、ゲート入力またはゲート出力の論理値が一部既知であるとき、そのゲートの入出力関係から、残りのゲート出力またはゲート入力の論理値を定める操作である．一方、垂直含意では、あるテストパターン t における外部入力線の論理値を用いて、その他のテストパターンにおける外部入力線の論理値を定める操作である．正常回路においては、テストパターン t において、外部入力線 k が論理値 $v \in \{0, 1\}$ をもつならば、論理値 v を印加するすべてのテストパターンにおいて、その外部入力線 k の論理値は v となる．そこで、垂直含意では、テストパターン t において、外部入力線 k が論理値 \bar{v} をもつならば、すべてのテストパターンにおいて外部入力線 k の論理値は故障値 \bar{v} に定める[33]．更に、垂直含意を回路内部の信号線にも適用できるように、強制値という概念を導入している．内部信号線の論理値を推定する際に、バックトラックを行いながら、多重縮退故障のすべての故障を指摘する．

図3は、水平含意及び垂直含意の例を示している．図3(a)のORゲートに対して、(b)に示したテストパターンを印加したとき、信号線 d において観測された論理値を(c)に示す．観測結果から d に縮退故障は存在しない．水平含意によって、テストパターン $t0$ で、 $c=0$ と推定する． $t0$ における c の論理値は、1を印加したにもかかわらず、0となっている．そこで、垂直含意によって、テストパターン $t1$ においても $c=0$ となると推定する．

文献[40]では、文献[31]の手法を拡張した回路分割バックトレース手法を提案している．文献[33]では、内部信号線の論理値を直接観測可能な電子ビームテストを文献[31]の故障診断法に適用した故障診断法を提案している．提案法では、単一縮退故障用テストパターンによる検査結果に基づく推論操作とプローブによる内部信号線の論理値の確定操作を併用している．

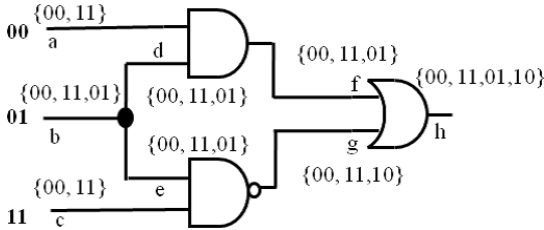


図 4 前方含意操作
Fig. 4 Forward implication.

文献 [32] では、各信号線に対して 0 縮退故障が存在する、1 縮退故障が存在する、及び正常という三つの信号線の状態を考える。この故障診断法では、信号線の値を故障値に固定した場合の外部出力の結果が、外部出力で観測された応答と矛盾するならば、その信号線が正常であると推定する。

この故障診断を行うために、二つのテストパターンからなるテストペアを被検査回路に印加し、信号線に論理値の変化を割り当て、前方含意操作と後方含意操作を繰り返し行う。前方含意操作では、テストペアに対して各信号線のとり得る状態の組合せを求める。後方含意操作では、外部入力側に向けて、外部出力で観測した値に基づいて各信号線がとり得ない状態を推定する。後方含意操作の結果から信号線の 0 縮退故障が存在する状態及び 1 縮退故障が存在する状態が取り除かれたならば、その信号線が正常であると判定する。複数のテストペアを利用して、前方含意操作と後方含意操作を繰り返し行うことで、多重縮退故障のすべての故障を指摘する。

図 4 及び図 5 に前方含意操作及び後方含意操作の例をそれぞれ示す。すべての信号線には 0 及び 1 縮退故障が存在し得るとする。外部入力に印加されたテストペア (a, b, c)=(00, 01, 11) に対して前方含意操作を行った結果を図 4 に示す。信号線 e は、外部入力に印加したテストペアによってとり得る状態 01 と 0 及び 1 縮退故障によってとり得る正常状態 00, 11 に基づいて集合 {00, 11, 01} をもつ。信号線 g では、信号線 e 及び c の集合の要素に対してすべての組合せによる NAND 演算を行う。その結果に信号線 g において 0 及び 1 縮退故障が存在する場合を考慮して、信号線 g は集合 {00, 11, 10} をもつ。同様にして外部入力側から外部出力に達するまで各信号線のとり得る信号値の組合せを求める。図 5 には外部出力 h において正しい出力 (h=10) が得られた場合の後方含意操作の例を示す。信号線 h では、0 及び 1 縮退故障は存在して

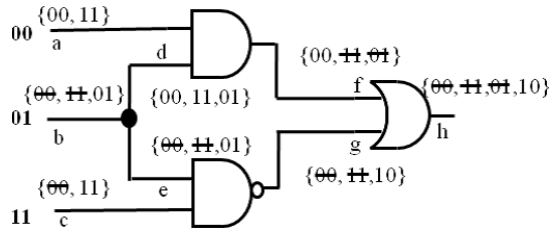


図 5 後方含意操作
Fig. 5 Backward implication.

いないと指摘される。次に、h を出力とする OR ゲートの入力である f 及び g に対して後方含意操作を行う。信号線 f における 11 は、g のどのような状態と OR 演算を行ったとしても、外部出力 h において 10 をとり得ない。したがって、信号線 f から 11 (信号線 f の 1 縮退故障の状態) を取り除く。同様に、信号線 g から 11 及び 00 (信号線 g の 1 及び 0 縮退故障の状態) を取り除く。後方含意操作によって、信号線 h, g, e, b は正常な信号線と指摘できる。

文献 [34] ~ [37], [46] では、診断用テスト集合として、一つの外部入力のみで信号変化を割り当てる活性化入力対の集合を生成する。活性化入力対によって活性化された外部入力から外部出力に至る経路における多重縮退故障の診断規則を提案し、その診断規則に従って多重縮退故障のすべての故障を指摘する。また、故障回路の故障を検出しない活性化入力対を利用して故障回路に存在しない故障を推定している。この故障診断法を順序回路の多重縮退故障診断に拡張した手法を文献 [38] で提案している。

次に、縮退故障シミュレーションを利用した原因-結果法に基づく故障診断法 [19], [20], [22], [39], [41] ~ [45] について整理する。

文献 [20] では、単一縮退故障シミュレーションの結果と被検査回路のフェイル出力を比較し、その結果が一致するならばその故障を故障候補とする。この手法は、多重縮退故障における故障マスク関係は考慮していない。

文献 [39], [42] では、単一縮退故障シミュレーションと多重縮退故障シミュレーションを併用した故障診断法を提案している。単一/多重縮退故障シミュレーション結果と被検査回路の観測結果が異なる外部出力に着目し、外部出力ごとに矛盾が生じないように故障候補の削除と追加を繰り返し行うことによって多重縮退故障のすべての故障を指摘する。ある程度の故障候補数に絞り込んだ後に、多重縮退故障シミュレーションを

行うことによって、多重縮退故障におけるマスク関係を考慮している。また、故障候補数を削減するためにパステストパターンを故障診断に利用する。

文献 [19] では、被検査回路に複数の故障が存在していても、一つのテストパターンにおいては一つの故障が検出されることが多いことに着目した手法を提案している。この手法では、被検査回路の出力応答と単一縮退故障シミュレーションの結果が一致したフェイルテストパターンを SLAT (single location at-a-time) パターンと呼ぶ。すべてのフェイルテストパターンにおけるフェイル出力を説明できる故障候補の組合せ (マルチプレット) を求める。複数のマルチプレットによって多重縮退故障の故障候補とする。

多重縮退故障をもつ故障回路においては、一つのテストパターンによって二つ以上の故障が同時に検出される場合がある。そこで、文献 [45] では、フェイルテストパターンごとにフェイル出力接続グラフを求め、それらのフェイル出力接続グラフから分割した外部出力のグループを求める。分割した外部出力のグループに従って多重縮退故障診断を行うことによって、診断結果を改善している。

4.3 ブリッジ故障に対する論理故障ベース診断法

ブリッジ故障を対象にした故障診断法として、主に 1990 年以降、数多くの手法が提案されている。文献 [47] では、縮退故障辞書をもとにブリッジ故障用の辞書を作成し、診断を行っている。ここでは、2 本の信号線の 0 縮退故障と 1 縮退故障に対する外部出力応答を合成した、合成署名 (composite signature) を求め、これを用いて効果的な診断を行っている。この手法を更に改良した手法が、文献 [3], [4], [48] で提案されている。特に文献 [48] では、合成署名と観測結果を比較して順位付けを行い、しきい値以上のものだけを選択することによって、候補故障を減らしている。

縮退故障の情報を用いた診断法としては、[5], [49], [50] などの手法がある。また文献 [51] では、各テストパターンに対する各信号線の誤り伝搬可能性を表した診断テーブルを用いて、診断を行う手法を提案している。診断テーブルは縮退故障シミュレーションにより求めることができ、そのサイズは故障辞書よりも小さいという利点がある。そのほか、多くの対象故障を効率良く扱うために工夫をした診断法 [52], [53] や、経路追跡に基づく手法 [54], [55], 回路分割を行う手法 [56] などが報告されている。

レイアウト情報を利用し、一つのノード (信号線)

に対してある一定の距離内にあるノード (信号線) だけを選び、対象故障数を減らしたり、故障候補を絞り込む手法が提案されている [57] ~ [59]。加えて手法 [58] では、抵抗性ブリッジ故障モデルについても考察している。

ブリッジ故障診断において多くの場合 AND ブリッジ, OR ブリッジ, ドミナントブリッジの故障モデルが考えられているが、ビザンチン將軍問題も対象とした手法が提案されている [4], [5]。文献 [4] では、縮退故障辞書を用いた手法 [47] を拡張しており、文献 [5] では、縮退故障シミュレーションの結果を用いて、それぞれ故障箇所を指摘している。

非スキャン順序回路を対象とした手法としては、文献 [60] に提案されたものがある。ここではシミュレーション結果として故障回路の状態の記憶量と診断結果の正確さについて議論されている。

4.4 オープン故障に対する論理故障ベース診断法

オープン故障は、ゲート内部のトランジスタのオープンあるいは信号線の断線によるオープン故障に大別される。近年の微細化技術の向上により、配線の長距離化が進み、ピア、コンタクトホールなど配線の接続不良によるオープン故障の発生頻度が高くなっている。そのため近年、信号線の断線によるオープン故障に対する診断法の開発が進められている [6] ~ [16]。ここでは、組合せ回路におけるオープン故障に対する故障診断法について整理する。

オープン故障の振舞いは、縮退故障の拡張としてモデル化されている [6] ~ [10], [43]。縮退故障でモデル化したオープン故障に対しては、これまで次のような故障診断法が提案されている。文献 [7] では、単一縮退故障の組合せで他の故障モデルを表現する合成署名の考え方 [47] に基づくオープン故障診断法を提案している。オープン故障をもつ信号線が複数のゲートの入力となる場合、故障の振舞いの組合せの数は、オープン故障をもつ信号線が接続するゲートの数に応じて指数関数的に増大する。そこで、文献 [43] では BDD (2 分決定図) を拡張した記号シミュレーションを利用して、その組合せを直接に扱わないオープン故障診断法を開発している。また、文献 [10] では、複数のゲートの入力となる信号線のオープン故障を多重縮退故障としてモデル化している。この診断法は、単一縮退故障及び多重縮退故障のシミュレーションを利用して、フェイルテスト及びパステストに対する故障の検出/非検出情報を求め、その情報に従って故障の順位付けを行う。

更に、設計誤りの診断法 [61] を拡張したオープン故障に対する故障診断法も提案されている [8] .

4.5 X 故障に対する論理故障ベース診断法

複雑な振舞いをする故障を診断するために、特定の故障モデルに依存しない、任意の論理故障を対象とした診断法が提案されている [8], [17], [19], [41], [43], [62], [63] .

文献 [19] の手法は、多重縮退故障だけでなく他の故障モデルに対しても適用できる。任意の論理故障が存在する故障回路に対しても、単一縮退故障のシミュレーション結果と故障回路の出力応答の一致、不一致の割合によって各信号線に点数付けを行って、より多くの SLAT パターンを説明できる信号線の組合せをマルチプレットとして指摘する。

文献 [8], [17] では、故障信号線の予想困難な振舞いを表現するために不定値 X を利用している。

文献 [8] では、3 値 (0,1,X) に拡張した経路追跡法により故障候補を一つ決定し、決定した故障候補の値を不定値としてシミュレーションするという二つの手順をフェイル出力がすべて不定値となるまで繰り返す。その後、故障候補の値のすべての組合せをシミュレーションすることで、診断結果の確度の向上を図っている。

文献 [17] では、ビザンチン將軍問題のような、より複雑な故障の振舞いを考慮するために、X 故障モデルを導入している。X 故障モデルでは、故障候補ごとに別々の X 値 (例えば X_1, X_2 など) を割り当て、これらの X 値を規則に基づいて伝搬させることで、X 値が割り当てられた故障候補の起こり得るすべての論理的振舞いを表すことができる。

また、X 故障モデルを直接利用しないで、複数の故障モデルに対して適用可能な故障診断法も提案されている [20] ~ [22], [41], [43], [62], [63] .

文献 [41], [43] では、故障候補の信号線の論理値を反転させることによって故障を挿入し、故障シミュレーションによって、その故障候補が外部出力の値に与える影響を評価する。もし、あるフェイルテストパターンに対して故障候補の信号線の論理値を反転することによって、フェイル出力が正常に戻るならば、そのテストパターン及びフェイル出力を回復テストパターン及び回復外部出力と呼ぶ。故障診断法では、回復テストパターン数及び回復外部出力数に基づいて故障候補の順位付けを行う。

文献 [62], [63] では、単一縮退故障、多重縮退故障、

AND/OR ブリッジ故障、ドミナントブリッジ故障及びオープン故障の複数故障モデルに対する故障診断法が提案されている。この故障診断法では、まず、単一縮退故障シミュレーションの結果を利用して故障候補を指摘し、更に故障の励起・伝搬条件やレイアウト情報などを併用することで、故障回路に生じている故障の種類を指摘する。

5. 欠陥ベース診断法

論理故障ベース診断法だけでは故障候補位置を絞り切れない故障に対応するために、欠陥ベース診断法が補完的な手法として研究されている。本論文では 3.2 で述べた (拡張 1) 及び (拡張 2) に対応する以下の手法を述べる。

(1) トランジスタ回路・レイアウト等の情報を活用し、故障箇所を詳細化する手法

(2) トランジスタ回路・レイアウト等を情報を活用し、故障の励起条件を詳細化する手法

5.1 ブリッジ故障に対する欠陥ベース診断法

故障箇所を詳細化するために、レイアウト情報を用いる手法が提案されている [4], [57], [64] . ブリッジ故障は、同層での隣接箇所、あるいは隣接する層間の隣接箇所に発生する。そこで論理故障ベース診断法で絞り込んだ信号線のペアに対して、こうしたレイアウト条件を満たす候補を選ぶことで更に絞り込む。故障の励起条件を詳細化するために、トランジスタ回路の情報を用いる手法も提案されている [65], [66] . 文献 [65] は Biased voting モデルを提案した。これはブリッジによって発生する中間電位を、PMOS 及び NMOS トランジスタのコンダクタンスから計算することで求める。またブリッジ故障の中間電位が故障値として伝搬するか否かを、伝搬側の回路の論理しきい値と比較することにより判定する。2. で紹介したビザンチン將軍の問題 [3] にも対応可能としている。

5.2 オープン故障に対する欠陥ベース診断法

信号線の配線パターン上に発生するオープン故障は電位が不安定になる場合があり、この場合に適用できる欠陥ベース診断法が提案されている [9], [11] ~ [16] .

図 6 に典型的な信号線のオープン故障の例を示す [9] . 図で、断線からシンク側の電位 V_f はソースからの電源供給がなくなるため、不安定な中間電位となる。中間電位に影響を与える要因として次の三つが考えられる。

(要因 1) 断線信号線の配線パターン (断線位置から

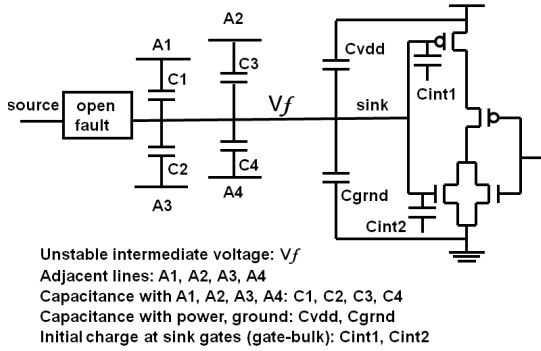


図 6 オープン故障モデル
 Fig. 6 Open fault model.

シンク側ゲートまでの配線)と隣接信号線の配線パターン間の寄生容量(カップリング容量)
 (要因 2) シンク側ゲートの初期電荷量
 (要因 3) 断線信号線の配線パターンと電源線, グラウンド, あるいはゲート内部ノード間の寄生容量
 このとき中間電位 V_f は以下の式で近似される .

$$V_f = \frac{C_1}{C_0 + C_1} V_{dd} + \frac{Q_0}{C_{grnd}} \quad (1)$$

ここで C_0 は (要因 1) 及び (要因 3) の容量のうち電位がローレベルの信号線の配線パターンとの容量の合計, C_1 は (要因 1) の容量のうち電位がハイレベルの信号線の配線パターンとの容量の合計, Q_0 は (要因 2) の初期電荷量, C_{grnd} はグラウンドとの容量である .
 このとき, 中間電位がシンク側ゲートで論理値 0/1 のどちらの論理値と解釈されるかはシンク側ゲートの論理しきい値電圧で決まる [12] .

文献 [9] では (要因 1) は隣接信号の電位の影響を受けるのでテストパターンに依存し (要因 2) 及び (要因 3) は依存しないことに着目した診断法を提案した . 着目信号線の配線パターンにおいて, パターンを構成する各レイアウトセグメントの端のピアごとにオープン故障を仮定する . 仮定した故障に対して, レイアウト情報とテストパターンから計算した (要因 1) の寄生容量が中間電位に及ぼす電位変動傾向と, テスタ測定結果から観測された論理値変動との間に, 一致する相関関係が存在する場合に, 故障候補としている .

以下に提案手法の概要を示す .

- (1) すべてのピア位置を候補として順に以下の診断を行う .
- (2) 故障候補の故障を検出可能なテストパターンを以下の四つの集合に分類する .

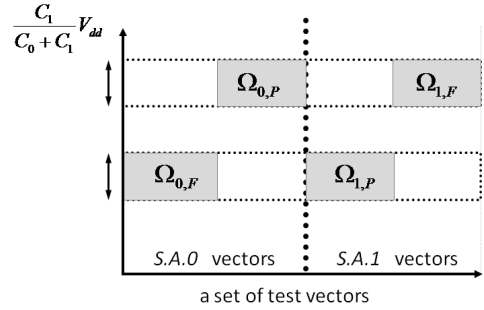


図 7 欠陥ベース診断法の例
 Fig. 7 Example of defect-based diagnosis.

- $\Omega_{0,P}$: 0 縮退故障を検出可能でパスしている
 - $\Omega_{0,F}$: 0 縮退故障を検出可能でフェイルしている
 - $\Omega_{1,P}$: 1 縮退故障を検出可能でパスしている
 - $\Omega_{1,F}$: 1 縮退故障を検出可能でフェイルしている
- (3) 上記で対象としたテストパターンごとに式 (1) の第 1 項を計算する .

(3-1) (2) の四つの各集合内のテストパターンに対する値の最小値と最大値を求める .

(3-2) $\Omega_{0,P}, \Omega_{1,F}$ の最小値が $\Omega_{0,F}, \Omega_{1,P}$ の最大値より大きい場合 (図 7 参照), そのピアを故障候補とする . 故障候補が真の故障とすれば, $\Omega_{0,P}$ と $\Omega_{1,F}$ は論理値 1, $\Omega_{0,F}$ と $\Omega_{1,P}$ は論理値 0 に対応するので, レイアウト情報から計算した励起条件と矛盾しない .

また, 文献 [67] では, 文献 [9] の方法論をより抽象化している . この手法では, 製造されたチップの (要因 2) や (要因 3), あるいは論理しきい値電圧などの値を正確に見積もるのは製造ばらつき等を考えると困難であることから, テスタ測定結果から動作条件を満たす存在可能性を示せばよいとした .

文献 [12] では, 論理しきい値電圧を設計データから計算して求めて, 中間電位の伝搬可能性精度を上げる手法を提案している . 断線箇所からのファンアウトされるシンク側ゲートが複数個あり, それぞれの論理しきい値が異なる場合にも対応できるとした .

文献 [14] では, 文献 [9] で指摘された故障候補が, 各レイアウトセグメント単位なのに対し, 更に細かい指摘を行えるようにしている . また複数の故障候補がある場合, IDDQ 電流量と照合することで, 故障候補の優先付けを行っている .

着目信号と隣接信号との隣接関係はレイアウトデータから抽出するが, 実際の寄生容量などの値は求めずに故障を診断する手法も提案されている [13], [15], [68] .

文献 [13] では、オープン故障の動作条件を満たす寄生容量が存在する箇所を故障候補とする手法を提案した。多数のフェイルテストパターンを検証することで故障候補の指摘範囲が狭められる可能性を示した。

文献 [15] では、同様に「カップリング容量」に影響する信号線の集合は使用するが、実際の容量計算や「論理しきい値」を用いず、信号線の論理値の多数決で「カップリング容量」を推定している。

文献 [68] では、より一般的に、故障候補の近接信号の論理値の組合せを抽出し、故障励起との相関を分析する手法を提案した。オープン故障に限らずブリッジ故障等にも適用可能としている。

5.3 セル内故障に対する欠陥ベース診断法

ここで議論するセル内故障とは、セル内での配線間の短絡や酸化膜リーク、あるいはコンタクトオープン等によって生じる再現性のある様々な論理的異常を指す。これらの故障は、セル端子入力値の組合せで励起されたり励起されなかったりする。そこで故障を励起するセル端子入力値の組合せを論理ベースの診断でまず求め、セル内のトランジスタ回路レベルの解析を行うことで、階層的に診断を行う手法が提案されている [67], [69] ~ [75]。

文献 [69] では、故障を励起するセル入力値の組合せを見つけるために、セル端子入力値の組合せをルール化できる故障モデル定義を可能にした。設計起因によるライブラリエラー検出にも適用可能とした。

文献 [70] では、トランジスタのオープン故障の診断法を提案した。セル内のトランジスタ回路網をゲート記述の回路網に変換し、縮退故障ベースの診断法を適用した。

文献 [72] では、セル内の回路シミュレーション表現にブリッジ故障やトランジスタのオープン故障を挿入し、シミュレーション動作と実際の故障動作を比較することで故障候補を指摘した。回路シミュレーションの高速化のために、トランジスタのオン・オフのみを計算するスイッチレベル回路シミュレーションを用いた。

文献 [67], [73], [74] もほぼ同様の概念の診断法を提案している。スイッチレベル回路シミュレーションでは、トランジスタのオン・オフ動作だけでなく、トランジスタのオン抵抗も考慮している。そのため故障の励起が入力値の時間的シーケンスで結果が異なるケースも分析している [67]。

6. む す び

本論文では、論理回路の故障診断法について最近の動向に主眼を置いて概説した。多様な物理故障に対応するために、縮退故障モデルの診断法に始まった技術は、多重縮退故障モデル、ブリッジ故障モデル、及びオープン故障モデルとそれらに基づく論理故障ベース診断法へと発展した。しかしながら、近年の微細化製造プロセスでの要求に対応するため、論理情報以外の様々な設計情報を活用した欠陥ベース診断法も提案されてきた。今後、論理故障ベース診断法と欠陥ベース診断法は相補う技術として発展が期待される。

また今後の課題として、遅延故障に対する診断法が挙げられる。現状は縮退故障に基づく技術が遅延故障に対しても主として用いられているが、論理回路の高速化とともに、より精度の良い故障診断技術の研究が望まれる。もう一つの課題は歩留り向上目的の故障診断の実現であり、設計・製造情報を総合的に活用する研究開発が進んでいる。

なお、本論文では、紙面の都合上、ハードウェア解析装置を利用する故障診断法、IDDQ 情報を利用した故障診断法、組込み自己テスト環境における故障診断法、スキャンチェーンに対する故障診断法、故障診断用テスト生成法、及び遅延故障に対する故障診断法は取り上げなかった。これらの故障診断法に関しては別の機会に整理したいと考えている。また、提案された故障診断法の有効性を評価するために、故障箇所をベンチマーク回路に設定したベンチマーク故障回路を整備することが必要であると考えている。

文 献

- [1] E. Manning, H.Y. Chang, and G. Metzger, *Fault Diagnosis of Digital Systems*, John Wiley & Sons, 1970.
- [2] L.-T. Wang, C.-W. Wu, and X. Wen, *VLSI Test Principles and Architectures Design for Testability*, Morgan Kaufmann Publishers, 2006.
- [3] D. Lavo, T. Larrabee, F. Ferguson, B. Chess, J. Saxena, and K. Butler, "Beyond the byzantine generals: Unexpected behavior and bridging fault diagnosis," *Proc. Int. Test Conf.*, pp.611-619, 1996.
- [4] B. Chess, D.B. Lavo, F.J. Ferguson, and T. Larrabee, "Diagnosis of realistic bridging faults with single stuck-at information," *Dig. Int. Conf. on Computer-Aided Design*, pp.185-193, 1995.
- [5] J. Wu and E.M. Rudnick, "Bridge fault diagnosis using stuck-at fault simulation," *IEEE Trans. Comput.-Aided Des. Integr. Circuits Syst.*, vol.19, no.4, pp.489-495, 2000.

- [6] S.M. Reddy, I. Pomeranz, H. Tang, S. Kajihara, and K. Kinoshita, "On testing interconnect open defects in combinational logic circuits with stems of large fanout," Proc. Int. Test Conf., pp.83–89, 2002.
- [7] S. Venkataraman and S.B. Drummonds, "A technique for logic fault diagnosis of interconnect open defects," Proc. VLSI Test Symp., pp.313–318, 2000.
- [8] A. Veneris, J. Liu, and H. Takahashi, "Incremental diagnosis of multiple open-interconnects," Proc. Int. Test Conf., pp.1085–1092, 2002.
- [9] Y. Sato, I. Yamazaki, H. Yamanaka, T. Ikeda, and M. Takakura, "A persistent diagnostic technique for unstable defects," Proc. Int. Test Conf., pp.242–249, 2002.
- [10] Y. Sato, H. Takahashi, Y. Higami, and Y. Takamatsu, "Failure analysis of open faults by using detecting/un-detecting information on tests," Proc. Asian Test Symp., pp.222–227, 2004.
- [11] J. C.-M. Li and E.J. McClusky, "Diagnosis of resistive-open and stuck-open defects in digital CMOS ICs," IEEE Trans. Comput.-Aided Des. Integr. Circuits Syst., vol.24, no.11, pp.1748–1759, 2005.
- [12] W. Zou, W.-T. Cheng, and S.M. Reddy, "Interconnect open defect diagnosis with physical information," Proc. Asian Test Symp., pp.203–209, 2006.
- [13] C. Liu, W. Zou, S.M. Reddy, W.-T. Cheng, M. Sharma, and H. Tang, "Interconnect open defect diagnosis with minimal physical information," Proc. Int. Test Conf., pp.7.3, 2007.
- [14] R. Rodriguez-Montanes, D. Arumi, J. Figueras, S. Einchenberger, C. Hora, B. Kruseman, M. Lousberg, and A.K. Majhi, "Diagnosis of full open defects in interconnecting lines," Proc. VLSI Test Symp., pp.158–166, 2007.
- [15] H. Takahashi, Y. Higami, S. Kadoyama, T. Aikyo, Y. Takamatsu, K. Yamazaki, T. Tsutsumi, H. Yotsuyanagi, and M. Hashizume, "Clues for modeling and diagnosing open faults with considering adjacent lines," Proc. Asian Test Symp., pp.39–44, 2007.
- [16] D. Arumi, R. R-Montanes, and J. Figueras, "Experimental characterization of CMOS interconnect open defects," IEEE Trans. Comput.-Aided Des. Integr. Circuits Syst., vol.27, no.1, pp.123–136, 2008.
- [17] X. Wen, T. Miyoshi, S. Kajihara, L.-T. Wang, K.K. Saluja, and K. Kinoshita, "On per-test fault diagnosis using the X-fault model," Dig. Int. Conf. on Computer-Aided Design, pp.633–640, 2004.
- [18] M. Abramovici, M.A. Breuer, and A.D. Friedman, Digital Systems Testing and Testable Design, Computer Science Press, 1990.
- [19] T. Bartenstein, D. Heaberlin, L. Huisman, and D. Sliwinski, "Diagnosing combinational logic designs using the single location at-a-time (SLAT) paradigm," Proc. Int. Test Conf., pp.287–296, 2001.
- [20] J.A. Waicukauski and E. Lindbloom, "Failure diagnosis of structured vlsi," IEEE Des. Test Comput., vol.6, no.4, pp.49–60, 1989.
- [21] 濱田周治, 加藤公訓, 須藤正彦, 可知紀文, 清水智晴, "単一縮退故障モデルを用いた固定不良診断システム," LSI テスティングシンポジウム会議録, pp.105–110, 1997.
- [22] S. Venkataraman and S. Drummonds, "Poirot: A logic fault diagnosis tool and its applications," Proc. Int. Test Conf., pp.253–262, 2000.
- [23] F. Hsu, P. Solecky, and R. Beaudoin, "Structured trace diagnosis for lssd board testing -an alternative to full fault simulated diagnosis," DAC, pp.891–897, 1981.
- [24] V. Boppana and W.K. Fuchs, "Fault dictionary compaction by output sequence removal," Dig. Int. Conf. on Computer-Aided Design, pp.576–579, 1994.
- [25] B. Chess and T. Larrabee, "Creating small fault dictionary," IEEE Trans. Comput.-Aided Des. Integr. Circuits Syst., vol.18, no.3, pp.346–356, 1999.
- [26] I. Pomeranz and S.M. Reddy, "On the generation of small dictionaries for fault location," Dig. Int. Conf. on Computer-Aided Design, pp.272–279, 1992.
- [27] I. Pomeranz and S.M. Reddy, "A same/different fault dictionary: An extended pass/fail fault dictionary with improved diagnostic resolution," Proc. Design Automation and Test in Europe, pp.1474–1479, 2008.
- [28] P.G. Ryan, W.K. Fuchs, and I. Pomeranz, "Fault dictionary compression and equivalence class computation for sequential circuits," Dig. Int. Conf. on Computer-Aided Design, pp.508–511, 1993.
- [29] M. Abramovici, P.R. Menon, and D.T. Miller, "Critical path tracing: An alternative to fault simulation," IEEE Des. Test Comput., vol.1, no.1, pp.83–93, 1984.
- [30] 山田輝彦, 中村芳行, "組合せ回路における単一縮退故障の一診断法," 信学論 (D-I), vol.J74-D-I, no.11, pp.774–780, Nov. 1991.
- [31] M. Abramovici and M.A. Breuer, "Multiple fault diagnosis in combinational circuits based on effect-cause analysis," IEEE Trans. Comput., vol.C-29, no.6, pp.451–460, 1980.
- [32] H. Cox and J. Rajski, "A method of fault analysis for test generation and fault diagnosis," IEEE Trans. Comput.-Aided Des. Integr. Circuits Syst., vol.7, no.7, pp.813–833, 1988.
- [33] 山田輝彦, 濱田周治, 松本竜男, 高橋利彦, 中山尊雄, "組合せ回路における多重縮退故障の診断法," 信学論 (D-I), vol.J74-D-I, no.1, pp.50–57, Jan. 1991.
- [34] 柳田宣広, 高橋 寛, 高松雄三, "活性化入力対を用いた組合せ回路の多重縮退故障の診断に関する一考察," 信学論 (D-I), vol.J77-D-I, no.4, pp.318–327, April 1994.
- [35] 高橋 寛, 柳田宣広, 高松雄三, "信号伝搬時間を利用した組合せ回路の多重縮退故障に対する一診断法," 信学論 (D-I), vol.J79-D-I, no.12, pp.1131–1140, Dec. 1996.
- [36] N. Yanagida, H. Takahashi, and Y. Takamatsu, "Multiple fault diagnosis by sensitizing input pairs," IEEE

- Des. Test Comput., vol.12, no.3, pp.44–52, 1995.
- [37] H. Takahashi, N. Yanagida, and Y. Takamatsu, “Enhancing multiple fault diagnosis in combinational circuits based on sensitized paths and EB testing,” Proc. Asian Test Symp., pp.58–64, 1995.
- [38] N. Yanagida, H. Takahashi, and Y. Takamatsu, “Multiple fault diagnosis in sequential circuits using sensitizing sequence pairs,” Proc. Int. Symp. on Fault-Tolerant Comp., pp.86–95, 1996.
- [39] H. Takahashi, K.O. Boateng, and Y. Takamatsu, “A new method for diagnosing multiple stuck-at fault using multiple,” Proc. VLSI Test Symp., pp.64–69, 1999.
- [40] K. Shigeta and T. Ishiyama, “An improved fault diagnosis algorithm based on path tracing with dynamic circuit extraction,” Proc. Int. Test Conf., pp.235–244, 2000.
- [41] S.-Y. Huang, “On improving the accuracy of multiple defect diagnosis,” Proc. VLSI Test Symp., pp.34–39, 2001.
- [42] H. Takahashi, K.O. Boateng, K.K. Saluja, and Y. Takamatsu, “On diagnosing multiple stuck-at faults using multiple and single fault simulation in combinational circuits,” IEEE Trans. Comput.-Aided Des. Integr. Circuits Syst., vol.21, no.3, pp.362–368, 2002.
- [43] S.-Y. Huang, “Speeding up byzantine fault diagnosis using symbolic simulation,” Proc. VLSI Test Symp., pp.193–198, 2002.
- [44] I. Pomeranz, S. Venkataraman, and S.M. Reddy, “Z-DFD: Design-for-diagnosability based on the concept of Z-detection,” Proc. Int. Test Conf., pp.489–497, 2004.
- [45] Z. Wang, M.M. Sadowska, K.-H. Tsai, and J. Rajski, “Analysis and methodology for multiple-fault diagnosis,” IEEE Trans. Comput.-Aided Des. Integr. Circuits Syst., vol.25, no.3, pp.558–575, 2006.
- [46] H. Takahashi, N. Yanagida, and Y. Takamatsu, “Multiple stuck-at fault diagnosis in combinational circuits based on restricted single sensitized paths,” Proc. Asian Test Symp., pp.185–190, 1993.
- [47] S. Millman, E. McCluskey, and J. Acken, “Diagnosing cmos bridging faults with stuck-at fault dictionaries,” Proc. Int. Test Conf., pp.860–870, 1990.
- [48] D. Lavo, T. Larrabee, F. Ferguson, B. Chess, J. Saxena, and K. Butler, “Bridging fault diagnosis in the absence of physical information,” Proc. Int. Test Conf., pp.887–893, 1997.
- [49] Y. Gong and S. Chakravarty, “Locating bridging faults using dynamically computed stuck-at fault dictionaries,” IEEE Trans. Comput.-Aided Des. Integr. Circuits Syst., vol.17, no.9, pp.876–887, 1998.
- [50] B. Arslan and A. Orailoglu, “Extracting precise diagnosis of bridging faults from stuck-at fault information,” Proc. Asian Test Symp., pp.230–235, 2003.
- [51] 山崎浩二, 山田輝彦, “組合せ回路における単一短絡故障の診断法,” 信学論 (D-I), vol.J74-D-I, no.1, pp.58–64, Jan. 1991.
- [52] S. Chakravarty and Y. Gong, “An algorithm for diagnosing two-line bridging faults in cmos combinational circuits,” Proc. Design Automation Conf., pp.520–524, 1993.
- [53] T.J. Vogels, W. Maly, and R.D. Blaton, “Progressive bridge identification,” Proc. Int. Test Conf., pp.309–318, 2003.
- [54] S. Venkataraman and W. Fuchs, “A deductive technique for diagnosis of bridging faults,” Dig. Int. Conf. on Computer-Aided Design, pp.562–567, 1997.
- [55] A. Rousset, A. Bosio, P. Girard, C. Landrault, S. Pravossoudovitch, and A. Virazel, “Fast bridging fault diagnosis using logic information,” Proc. Asian Test Symp., pp.33–38, 2007.
- [56] I. Pomeranz and S.M. Reddy, “Locating of stuck-at faults and bridging faults based on circuit partitioning,” IEEE Trans. Comput., vol.47, no.10, pp.1124–1135, 1998.
- [57] A. Jee and F.J. Ferguson, “Carafe: An inductive fault analysis tool for cmos vlsi circuits,” Proc. VLSI Test Symp., pp.92–98, 1993.
- [58] W. Zou, W.-T. Cheng, and S.M. Reddy, “Bridge defect diagnosis with physical information,” Proc. Asian Test Symp., pp.248–253, 2005.
- [59] R. Desineni, O. Poku, and R.D. Blanton, “A logic diagnosis methodology for improved localization and extraction of accurate defect behavior,” Proc. Int. Test Conf., Paper 12.3, 2006.
- [60] S. Venkataraman and W. Fuchs, “Diagnosis of bridging faults in sequential circuits using adaptive simulation, state storage, and path-tracing,” Proc. Int. Test Conf., pp.878–886, 1997.
- [61] A. Veneris and I.N. Hajj, “Design error diagnosis and correction via test vector simulation,” IEEE Trans. Comput.-Aided Des. Integr. Circuits Syst., vol.18, no.12, pp.1803–1816, 1999.
- [62] Y. Takamatsu, T. Seiyama, H. Takahashi, Y. Higami, and K. Yamazaki, “On the fault diagnosis in the presence of unknown fault models using pass/fail information,” Proc. Int. Symp. on Circuits and Systems, pp.2987–2990, 2005.
- [63] Y. Takamatsu, H. Takahashi, Y. Higami, T. Aikyo, and K. Yamazaki, “Fault diagnosis on multiple fault models by using pass/fail information,” IEICE Trans. Inf. & Syst., vol.E91-D, no.3, pp.675–682, March 2008.
- [64] R.C. Aitken and P.C. Maxwell, “Better models or better algorithms? on techniques to improve fault diagnosis,” In Hewlett-Packard Journal, pp.110–116, 1995.
- [65] P.C. Maxwell and R.C. Aitken, “Biased voting: A method for simulating cmos bridging faults in the presence of variable gate logic thresholds,” Proc. Int.

- Test Conf., pp.63–72, 1993.
- [66] R.C. Aitken, “Finding defects with fault models,” Proc. Int. Test Conf., pp.498–505, 1995.
- [67] Y. Sato, K. Sugiura, R. Shimoda, Y. Yoshizawa, K. Norimatsu, and M. Sanada, “Defect diagnosis - reasoning methodology,” Proc. Asian Test Symp., pp.209–214, 2006.
- [68] R. Desineni, O. Poku, and R.D. Blanton, “A logic diagnosis methodology for improved localization and extraction of accurate defect behavior,” Proc. Int. Test Conf., pp.12.3, 2006.
- [69] T. Bartenstein and G. Vandling, “Fault model extension for diagnosing custom cell fails,” Proc. Int. Test Conf., pp.617–624, 1997.
- [70] X. Fan, W. Moore, C. Hora, and G. Gronthoud, “A novel stuck-at based method for transistor stuck-open fault diagnosis,” Proc. Int. Test Conf., pp.16.1, 2005.
- [71] R.D. Blanton, J.T. Chen, R. Desineni, K.N. Dwarakanath, W. Maly, and T.J. Vogels, “Fault tuples in diagnosis of deep-submicron circuits,” Proc. Int. Test Conf., pp.233–241, 2002.
- [72] M.E. Amyeen, D. Nayak, and S. Venkatarman, “Improving precision using mixed-level fault diagnosis,” Proc. Int. Test Conf., pp.22.3, 2006.
- [73] 真田 克, 吉澤 豊, 則松研二, “スイッチング・レベル・シミュレーションを用いたセル内故障診断技術—リーク故障が論理動作に与える影響” LSI テスティングシンポジウム会議録, pp.225–230, 2005.
- [74] 吉澤 豊, 則松研二, 佐藤康夫, 二階堂正人, 真田 克, “スイッチング・レベル・シミュレーションを用いたセル内故障診断技術—故障動作と診断精度の検証” LSI テスティングシンポジウム会議録, pp.231–236, 2005.
- [75] Y. Higami, K.K. Saluja, H. Takahashi, S. Kobayashi, and Y. Takamatsu, “An algorithm for diagnosing transistor shorts using gate-level simulation,” Trans. System LSI Design Methodology, vol.2, pp.250–262, 2009.

(平成 22 年 2 月 22 日受付, 7 月 21 日再受付)



高松 雄三 (正員)

昭 41 愛媛大・工・電気卒。佐賀大学理工学部電子工学科助教授を経て, 昭 62 年 10 月より愛媛大学工学部情報工学科教授, 平 21 年 4 月より愛媛大学名誉教授。論理回路のテスト生成法及び故障診断法などに関する研究に従事。工博。平 6 IEEE 第 3 回アジアテストシンポジウムプログラム委員長, 平 9 IEEE 第 6 回同シンポジウム実行委員長など。著書「新版・論理設計入門」(共著, 日新出版) など。



佐藤 康夫 (正員)

昭 51 東大・理卒。昭 53 同大大学院修士課程了。平 17 東京都立大学大学院博士課程了。昭 53 (株) 日立製作所入社。平 15 年 6 月から平 17 年 3 月まで (株) 半導体理工学研究センター開発部テスト設計開発室長。平 17 年 4 月より (株) 日立製作所マイクロデバイス事業部設計本部主管技師を経て, 平 21 年 4 月から九州工業大学大学院情報工学研究院特任教授。VLSI のテスト技術・診断技術の研究に従事。博士 (工学)。IEEE 会員。



高橋 寛 (正員)

昭 63 佐賀大・理工・電子卒。平 2 同大大学院理工学研究科修士課程了。愛媛大学工学部助手, 講師, 助教授, 准教授を経て, 平 22 年 4 月同大学院・理工学研究科・電子情報工学専攻教授, 現在に至る。平 12 年 5 月から平 13 年 3 月までウィスコンシン大学マディソン校客員研究員 (文部科学省在外研究員)。論理回路のテスト生成及び故障診断に関する研究に従事。博士 (工学)。情報処理学会会員, IEEE シニア会員。



樋上 喜信 (正員)

平 8 大阪大学大学院工学研究科応用物理学専攻博士後期課程了。同年日本学術振興会特別研究員採用。平 10 より愛媛大学工学部助手。現在同大学大学院理工学研究科准教授。平 9, 18, 米国ウィスコンシン大学マディソン校客員研究員。論理回路に対するテスト生成及びテスト容易化設計, 故障診断に関する研究に従事。平 16 年度電子情報通信学会論文賞受賞。博士 (工学)。情報処理学会会員, IEEE シニア会員。



山崎 浩二 (正員)

平元明大・工・電子通信卒。平 6 同大大学院工学研究科博士課程了。同年明治大学理工学部専任講師。現在同大情報コミュニケーション学部准教授。博士 (工学)。論理回路の故障診断, 故障シミュレーション, テスト生成の研究に従事。IEEE 会員。