

## 酸化ガリウムパワーデバイス開発の現状

東脇 正高<sup>†a)</sup> 倉又 朗人<sup>††</sup> 村上 尚<sup>†††</sup> 熊谷 義直<sup>†††</sup>

## Current Status of Development on Gallium Oxide Power Devices

Masataka HIGASHIWAKI<sup>†a)</sup>, Akito KURAMATA<sup>††</sup>, Hisashi MURAKAMI<sup>†††</sup>,  
and Yoshinao KUMAGAI<sup>†††</sup>

あらまし 酸化ガリウム ( $\text{Ga}_2\text{O}_3$ ) は、パワーデバイス用途に適した優れた物性を有する酸化物半導体である。また、大口径・高品質な基板を、簡便・安価に製造可能という産業上の大きな魅力も合わせもつ。これらの特徴から、SiC, GaN に続く新ワイドギャップ半導体として近年注目を集めつつある。本論文では、最近のパワーデバイス開発における主要な進捗である、フィールドプレート付き横型  $\text{Ga}_2\text{O}_3$  MOSFET, 及びハライド気相成長法により形成したドリフト層を有する縦型  $\text{Ga}_2\text{O}_3$  ショットキーバリアダイオードについて紹介する。

キーワード 酸化ガリウム, フィールドプレート, MOSFET, ハライド気相成長法, ショットキーバリアダイオード

## 1. まえがき

現在、様々な電気機器において用いられる半導体トランジスタ及びダイオードには、更に電力変換効率を高めることが強く求められている。その一方、現在までパワーエレクトロニクス市場を独占してきたシリコン (Si) パワーデバイスは、その半導体物性から決まる性能限界に近づいており、今後大幅な性能向上は難しい。このような社会状況も作用し、バリガ性能指数が Si の数百倍大きいなど、材料物性的に Si よりパワーデバイスに適した、ワイドバンドギャップ半導体シリコンカーバイド (SiC), 窒化ガリウム (GaN) を用いたパワーデバイス研究開発が現在国内外で盛んに行われている。結果、既に SiC, GaN デバイスは特定の市場

においてはそのシェアを獲得し始めている。

我々は、全く新しいワイドバンドギャップ酸化物半導体酸化ガリウム ( $\text{Ga}_2\text{O}_3$ ) の優れた物性に着目し、SiC, GaN に続く新規パワーエレクトロニクス向け半導体材料として提案するとともに、パイオニア的な研究開発を遂行してきた [1]。  $\text{Ga}_2\text{O}_3$  は、そのバンドギャップが 4.5–4.9 eV と非常に大きいことから [2]–[5], SiC, GaN と比べても約 3 倍の大きさの絶縁破壊電界を有することが見積もられる。その結果として、SiC, GaN より更に大きなバリガ性能指数が期待される。加えて、大口径・高品質  $\text{Ga}_2\text{O}_3$  単結晶基板を、融液成長法により育成した単結晶バルク [6]–[11] から製造可能であることから、将来的に低コストで  $\text{Ga}_2\text{O}_3$  パワーデバイスを大量生産可能と見込まれる。

以上の二つの特徴から、  $\text{Ga}_2\text{O}_3$  パワーデバイスはその性能面だけでなく、価格面でも SiC, GaN デバイスを上回る大きな可能性がある。本報告では、最近我々のグループにおいて開発した横型  $\text{Ga}_2\text{O}_3$  フィールドプレート MOSFET (FP-MOSFET), 及びハライド気相成長法 (HVPE) により単結晶  $\text{Ga}_2\text{O}_3$  基板上に  $n^-$ - $\text{Ga}_2\text{O}_3$  ドリフト層を成長したエピ基板を用いて作製した縦型  $\text{Ga}_2\text{O}_3$  ショットキーバリアダイオード (SBD) について紹介する。

<sup>†</sup> (国研) 情報通信研究機構未来 ICT 研究所グリーン ICT デバイス先端開発センター, 小金井市

Green ICT Device Advanced Development Center, Advanced ICT Research Institute, National Institute of Information and Communications Technology, 4-2-1 Nukui-Kitamachi, Koganei-shi, 184-8795 Japan

<sup>††</sup> (株) タムラ製作所, 狭山市

Tamura Corporation, 2-3-1 Hirose-dai, Sayama-shi, 350-1328 Japan

<sup>†††</sup> 東京農工大学大学院工学研究院応用化学部門, 小金井市

Department of Applied Chemistry, Tokyo University of Agriculture and Technology, 2-24-16 Naka-cho, Koganei-shi, 184-8588 Japan

a) E-mail: mhigashi@nict.go.jp

## 2. Ga<sub>2</sub>O<sub>3</sub> FP-MOSFET [12]

### 2.1 デバイスプロセス

我々は以前、低抵抗オーミックコンタクトを形成するための Si イオン注入ドーピング技術 [13] を開発し、プラズマ原子層エピタキシー (ALD) による Al<sub>2</sub>O<sub>3</sub> ゲート絶縁膜 [14] と組み合わせることで、ディプレッション型 Ga<sub>2</sub>O<sub>3</sub> MOSFET を開発することに成功した [15], [16]. この Ga<sub>2</sub>O<sub>3</sub> MOSFET は、オフ状態デバイス耐圧 ( $V_{br}$ ) 400 V 以上、ドレイン電流オン/オフ比 10 桁以上などに代表される優れたデバイス特性を示した. 今回、上述 Ga<sub>2</sub>O<sub>3</sub> MOSFET をベースに、ゲート電極ドレイン端での電界集中を緩和し、 $V_{br}$  を更に向上させることを目的とした、Ga<sub>2</sub>O<sub>3</sub> FP-MOSFET を作製し、そのデバイス特性を評価した.

図 1 に、作製した Ga<sub>2</sub>O<sub>3</sub> FP-MOSFET の断面模式図を示す. デバイス作製には、Fe ドープ半絶縁 Ga<sub>2</sub>O<sub>3</sub> (010) 基板の上に、膜厚 1.2  $\mu\text{m}$  のアンドープ Ga<sub>2</sub>O<sub>3</sub> 薄膜を分子線エピタキシー成長したエピ基板を用いた. FP-MOSFET のチャンネル領域を形成するために、濃度  $3 \times 10^{17} \text{ cm}^{-3}$ 、厚さ 300 nm のボックスプロファイルになるように Si をイオン注入ドーピングした. この際、チャンネルを形成する領域にのみ選択的に Si を注入し、それ以外の部分はアンドープ Ga<sub>2</sub>O<sub>3</sub> 膜そのままとしている. なお、アンドープ Ga<sub>2</sub>O<sub>3</sub> 膜は高抵抗であることから、デバイス間分離は問題ない. 更に、その後形成するソース、ドレイン電極のオーミックコンタクト抵抗を低減するために、両電極直下に相当する部分に濃度  $5 \times 10^{19} \text{ cm}^{-3}$ 、厚さ 150 nm のボ

クスプロファイルになるように Si イオン注入ドーピングを施した. そして、上記二つのプロセスにて注入した Si を同時に活性化するために、窒素ガス雰囲気中で 950°C、30 分の赤外線ランプアニール処理を施した. 続いて、ソース、ドレイン電極部分のフォトリソグラフィパターンニングを行った後、Ga<sub>2</sub>O<sub>3</sub> 表面ダメージ層を除去し、Si 高濃度領域に電極金属を直接接触させる目的で、BCl<sub>3</sub> ガスによる深さ 70 nm の反応性ガスエッチング (RIE) を行い、Ti (20 nm)/Au (230 nm) スタックを蒸着、リフトオフした. その後、電極金属と Ga<sub>2</sub>O<sub>3</sub> を反応させ、オーミックコンタクト抵抗を一層低減するために、赤外線ランプアニール処理を 470°C、1 分行った. 次に、厚さ 20 nm の Al<sub>2</sub>O<sub>3</sub> ゲート絶縁膜をプラズマ原子層堆積法にて形成した後、厚さ 400 nm の SiO<sub>2</sub> を TEOS 化学気相堆積法 (TEOS-CVD) にて成膜した. ゲート電極は、レジストパターンニング後、CF<sub>4</sub> RIE により SiO<sub>2</sub> 膜を選択的にエッチングし、Al<sub>2</sub>O<sub>3</sub> 上に Ti (3 nm)/Pt (12 nm)/Au (280 nm) を蒸着、リフトオフして作製した. ゲート長 ( $L_G$ )、ゲート幅 ( $W_G$ )、ゲート-ソース電極間距離 ( $L_{GS}$ )、ゲート-ドレイン電極間距離 ( $L_{GD}$ ) は、それぞれ 2  $\mu\text{m}$ 、200  $\mu\text{m}$ 、5  $\mu\text{m}$ 、15  $\mu\text{m}$  である. なお、デバイスシミュレーションにより求めたゲート電極ドレイン端付近の電界分布を元に、ゲートフット部分の高さ ( $H_{FP}$ ) は 400 nm、フィールドプレートのドレイン側の張り出し長さ ( $L_{FP,D}$ ) は 2.5  $\mu\text{m}$  と設計した.

### 2.2 デバイス特性

今回、作製した Ga<sub>2</sub>O<sub>3</sub> FP-MOSFET のチャンネル部分の電界効果移動度は、同時に作製したロングゲート FET の低ドレイン電圧下での電流-電圧 ( $I-V$ ) 特性から、70–95  $\text{cm}^2/\text{cm}\cdot\text{s}$  程度と見積もられた. 図 2 に、作製した Ga<sub>2</sub>O<sub>3</sub> FP-MOSFET の室温 DC  $I-V$  出力特性を示す. 最大ドレイン電流密度 ( $I_{DS}$ ) は、ゲート電圧 ( $V_{GS}$ ) +4 V で 78 mA/mm であった. 作製した FP は、ゲート電極ドレイン端の電界集中を効果的に緩和し、 $V_{br}$  は  $V_{GS} = -55 \text{ V}$  の条件下で 755 V を記録した. この  $V_{br}$  値は、以前の FP 無しのディプレッション型 Ga<sub>2</sub>O<sub>3</sub> MOSFET の 400 V 程度から大幅に改善されている [15], [16]. ただ、今回作製した Ga<sub>2</sub>O<sub>3</sub> FP-MOSFET の  $V_{br}$  は、前回の FP 無しデバイスの値は上回ったものの、シミュレーションで予想された 1 kV 以上には届かなかった. これは、TEOS-SiO<sub>2</sub> 膜が低品質であったことが原因と考えられる. そのため、今後更なるデバイス構造最適化とともに、SiO<sub>2</sub> 膜の

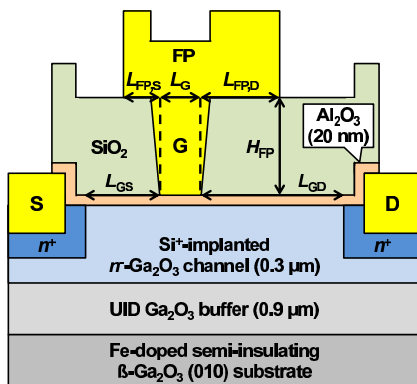


図 1 Ga<sub>2</sub>O<sub>3</sub> FP-MOSFET の断面模式図

Fig.1 Schematic cross section of Ga<sub>2</sub>O<sub>3</sub> FP-MOSFET.

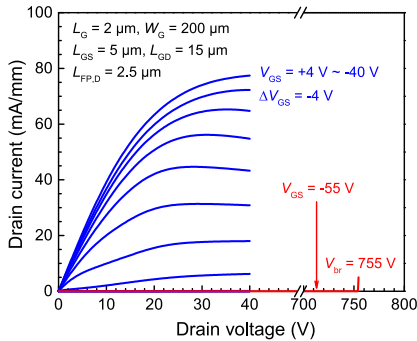


図 2 室温における  $\text{Ga}_2\text{O}_3$  FP-MOSFET の DC  $I$ - $V$  出力特性  
 Fig. 2 DC  $I$ - $V$  output characteristics of  $\text{Ga}_2\text{O}_3$  FP-MOSFET at room temperature.

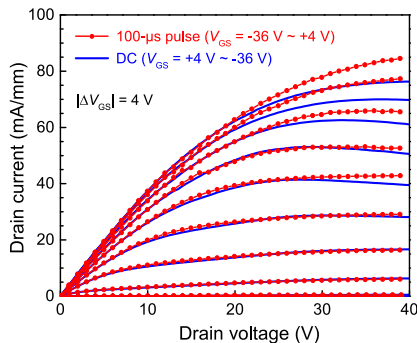


図 3 室温における  $\text{Ga}_2\text{O}_3$  FP-MOSFET の DC, パルス  $I$ - $V$  特性  
 Fig. 3 DC and pulsed  $I$ - $V$  characteristics of the  $\text{Ga}_2\text{O}_3$  FP-MOSFET at room temperature.

品質の向上により、一層の耐圧向上が十分見込める。

続いて、同デバイスの DC, パルス  $I$ - $V$  測定データを比較したものを図 3 に示す。パルス測定におけるスタンバイ状態のドレイン電圧 ( $V_{DS}$ ),  $V_{GS}$  は、それぞれ 40 V, -36 V である。パルス  $I$ - $V$  測定時、 $V_{DS}$  を 0~40 V で掃引し、 $V_{GS}$  は -36~+4 V, +4 V 刻みで変化させた。パルス幅は 100  $\mu\text{s}$ , 負荷サイクルは 0.1% と設定した。図 3 に示すように、パルス電流値は、DC と同等か若しくは上回っており、GaN デバイスでよく見られるようなドレイン電流コラプスの傾向は全く見られていない。以前作製した FP 無しデバイスでは、最大 40% を超えるコラプスが観測されていたことから、本デバイスでは FP 及び厚い  $\text{SiO}_2$  膜堆積によるパッシベーションが効果的に働き、電流コラプス問題も解決したと考えられる。

最後に、作製した  $\text{Ga}_2\text{O}_3$  FP-MOSFET のデバイ

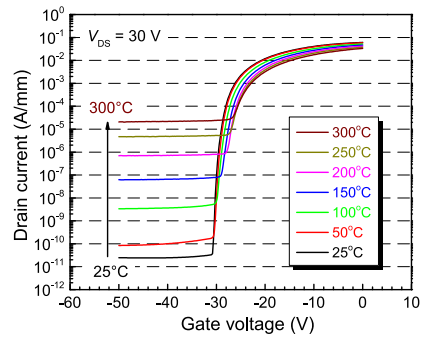


図 4  $\text{Ga}_2\text{O}_3$  FP-MOSFET の伝達特性温度依存性 (室温 ~300°C,  $V_{DS}=30$  V)  
 Fig. 4 Temperature-dependent transfer characteristics of the  $\text{Ga}_2\text{O}_3$  FP-MOSFET at  $V_{DS}=30$  V showing stable device operation from room temperature to 300°C.

ス特性の動作温度依存性について述べる。図 4 に、動作温度を室温から 300°C まで変化させて測定した伝達特性を示す。オフリーク電流が温度上昇とともに単調に増加していることが見てとれるが、これは半導体として正常な振る舞いである。その他の点において、高温動作においてもデバイスは何ら特性劣化を示すことなく、正常に動作していることが分かる。 $I_{DS}$  オン/オフ比は、室温における 9 桁以上という値から、温度上昇によるオフリーク電流の増加に伴い単調に減少するが、それでも 300°C においてなお 3 桁以上の大きな値を保っている。

### 3. $\text{Ga}_2\text{O}_3$ SBD [17]

#### 3.1 $\text{Ga}_2\text{O}_3$ 薄膜の HVPE 成長

現在我々は、縦型  $\text{Ga}_2\text{O}_3$  デバイス開発に必要な新たな薄膜成長技術として、HVPE  $\text{Ga}_2\text{O}_3$  ホモエピタキシャル成長技術の開発に取り組んでいる [18], [19]。HVPE は、高速・高スループット薄膜成長技術であるため、将来的な産業応用にも適していると考えられる。原料には、Ga 源として反応炉上流において高純度 Ga メタルと  $\text{Cl}_2$  ガスを 850°C で反応させることにより生成した  $\text{GaCl}$  と、酸素源として  $\text{O}_2$  ガスを用いる。 $\text{GaCl}$  と  $\text{O}_2$  は、キャリアガスに  $\text{N}_2$  を用いて、別ラインで成長室に供給される。 $\text{Ga}_2\text{O}_3$  基板は、成長室内の石英ガラスサセプター上に設置する。 $\text{Ga}_2\text{O}_3$  膜の成長温度は、現状 1000°C を標準としている。成長速度は、結晶品質の劣化を伴うことなく約 20  $\mu\text{m}/\text{h}$  まで高速化を確認した。また、 $n$  型ドーピングの際には、

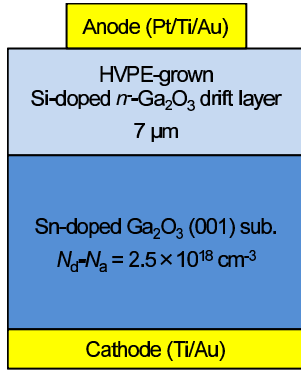


図5 Ga<sub>2</sub>O<sub>3</sub> SBDの断面構造模式図  
Fig. 5 Schematic cross section of Ga<sub>2</sub>O<sub>3</sub> SBD structure. Reproduced from Ref. 17, with the permission of AIP Publishing.

現在ドーパントガスとして SiCl<sub>4</sub> を用いており、その供給分圧を制御することで  $n=10^{15}\sim 10^{18}\text{ cm}^{-3}$  の幅広い範囲での電子濃度制御に成功している。

HVPE 成長した Ga<sub>2</sub>O<sub>3</sub> 膜の結晶品質・純度、電気的特性は非常に良好である [19]。例えば、HVPE Ga<sub>2</sub>O<sub>3</sub> 膜中に含まれる不純物は、Cl を除いては二次イオン質量分析検出限界以下の濃度であった。唯一検出された Cl 原子も、 $1\times 10^{16}\text{ cm}^{-3}$  程度の低濃度であった。実際、 $n^+$ -Ga<sub>2</sub>O<sub>3</sub> 基板上に、アンドープ Ga<sub>2</sub>O<sub>3</sub> を成膜したエピ基板を用いて作製した縦型ダイオード構造の容量-電圧 ( $C$ - $V$ ) 測定結果から見積もった残留ドナー濃度の値は、 $1\times 10^{13}\text{ cm}^{-3}$  以下と非常に小さい。これらの結果から、Cl は Ga<sub>2</sub>O<sub>3</sub> 中では電気的には不活性であると推測される。

### 3.2 デバイスプロセス

図 5 に、作製した縦型 Ga<sub>2</sub>O<sub>3</sub> SBD の断面模式図を示す。今回、 $n^+$ -Ga<sub>2</sub>O<sub>3</sub> (001) 基板上に、HVPE により膜厚 10 μm の  $n^-$ -Ga<sub>2</sub>O<sub>3</sub> ドリフト層を形成したエピ基板を用いて本デバイスを作製した。 $n^-$ -Ga<sub>2</sub>O<sub>3</sub> 層は、成長温度 1000°C、成長速度 10 μm/h の条件下で成膜した。

デバイス作製プロセスとしては、最初に HVPE エピ膜表面の平坦化のための化学機械研磨 (CMP) を行った。これは、現状 HVPE 成長後の Ga<sub>2</sub>O<sub>3</sub> 膜の表面にはピットが多く発生するなど、平坦性に乏しいためである。なお、CMP の深さは約 3 μm であり、その結果プロセス後の  $n^-$ -Ga<sub>2</sub>O<sub>3</sub> ドリフト層の膜厚は約 7 μm である。CMP プロセス後は、ピットの多くは除去され、その表面をほぼ平坦化することができる。しか

し、その深さが基板表面まで到達する一部のピットは依然残る。今後、HVPE 成長中のピット発生のメカニズムを探るとともに、ピットフリー表面を得るための成長条件を開拓していく必要がある。次に、Ga<sub>2</sub>O<sub>3</sub> 基板裏面全面に、BCl<sub>3</sub> RIE 処理を施した後、オーミックカソード電極 Ti (20 nm)/Au (230 nm) を真空蒸着で形成した。最後に、円形ショットキーアノード電極を HVPE 成長した  $n^-$ -Ga<sub>2</sub>O<sub>3</sub> ドリフト層表面に、フォトリソグラフィーパターンニング、Pt (15 nm)/Ti (5 nm)/Au (250 nm) 真空蒸着、リフトオフプロセスにより作製した。なお、作製したアノード電極サイズは、直径 200 μm と 400 μm の 2 種類あり、それぞれ電流密度-電圧 ( $J$ - $V$ ) 測定、 $C$ - $V$  測定に用いた。絶縁膜による表面パッシベーションは行っていない。

### 3.3 室温動作デバイス特性

我々は、SiCl<sub>4</sub> 分圧を制御することで、意図的に Si ドーピング濃度を  $10^{15}\sim 10^{17}\text{ cm}^{-3}$  の範囲で変えたドリフト層を有する数種類の Ga<sub>2</sub>O<sub>3</sub> SBD を作製し、それらのデバイス特性を評価した。本論文では、その中の代表的なデバイスの特性について紹介する。

図 6(a) に、 $1/C^2$ - $V$  特性をプロットしたものを示す。実験データに対する線形フィッティングラインのグラフ横軸切片から、両試料ともにビルトインポテンシャル ( $qV_{bi}$ ) は約 1.1 eV と見積もられる。一方、図 6(b) に示すように、両デバイスの  $d(1/C^2)/dV$  特性から見積もったドリフト層の実効ドナー濃度 ( $N_d-N_a$ ) は、それぞれ  $1.4\times 10^{16}\text{ cm}^{-3}$ 、 $2.0\times 10^{16}\text{ cm}^{-3}$  であった。また、両試料ともに、深さ方向にほぼ均一な  $N_d-N_a$  分布が得られていることが分かる。結果、 $qV_{bi}$  及び  $N_d-N_a$  両値から、Pt/ $n^-$ -Ga<sub>2</sub>O<sub>3</sub> 界面のショットキーバリア高さ ( $q\phi_b$ ) は 1.20–1.25 eV 程度と求められる。

次に、図 7 に  $J$ - $V$  特性を示す。 $J=100\text{--}200\text{ A/cm}^2$  の範囲での線形フィッティングから、 $N_d-N_a=1.4\times 10^{16}\text{ cm}^{-3}$  及び  $2.0\times 10^{16}\text{ cm}^{-3}$  のダイオードにおける特性オン抵抗は、それぞれ  $3.0\text{ m}\Omega\cdot\text{cm}^2$ 、 $2.4\text{ m}\Omega\cdot\text{cm}^2$  と良好な値を得た。なお、これらオン抵抗値のうち、約  $1.0\text{ m}\Omega\cdot\text{cm}^2$  は基板の抵抗成分である。また、片対数プロットした順方向  $J$ - $V$  特性の直線領域の傾きから導いた理想係数 ( $n$ ) 値は、両デバイスとも  $1.05\pm 0.02$  と優れた特性を得た。これは、順方向リーク電流が純粋に熱放出 [thermionic emission (TE) model] モデルに沿ったものであることを表しており、非常に良好なショットキー界面が形成されていることを示唆している。次に、逆方向  $J$ - $V$  特性について考察する。両

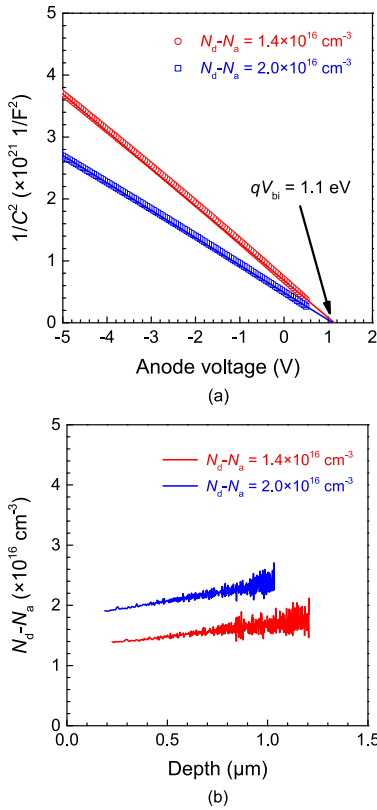


図 6 Ga<sub>2</sub>O<sub>3</sub> SBD の (a)  $1/C^2$  vs  $V$  プロット, (b)  $N_d-N_a$  の深さ方向プロファイル  
 Fig. 6 (a)  $1/C^2$  vs  $V$  plots and (b) depth profiles of  $N_d-N_a$  extracted from  $d(1/C^2)/dV$  of Ga<sub>2</sub>O<sub>3</sub> SBDs.

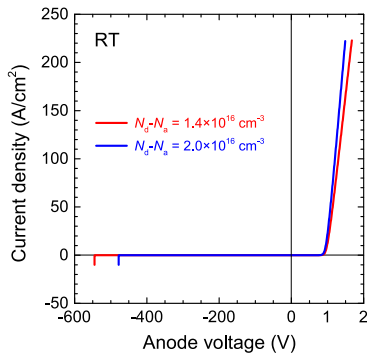


図 7 室温における Ga<sub>2</sub>O<sub>3</sub> SBD の  $J-V$  特性  
 Fig. 7 Room-temperature  $J-V$  characteristics of Ga<sub>2</sub>O<sub>3</sub> SBDs.

デバイスとも、 $-500$  V 程度の高い  $V_{br}$  を示している。なお、このデバイス耐圧は、材料の本質的な絶縁破壊電界に相当するアバランシェ破壊によるブレイクダウ

ンでは無く、アノード電極端に電界が集中することで短絡破壊する、いわゆるハードブレイクダウンによる。そのため、今後フィールドプレート、ガードリング等の電界集中緩和のための終端構造を導入することで、更なる高耐圧化が比較的容易に可能と考えられる。

### 3.4 デバイス特性の動作温度依存性

次に、Pt/Ga<sub>2</sub>O<sub>3</sub> ショットキー界面品質を評価する目的で、高温動作時のデバイス特性について調べた。ここでは、 $N_d-N_a=1.2 \times 10^{16} \text{ cm}^{-3}$  のデバイスの  $J-V$  特性の動作温度依存性について紹介する。このデバイスは、動作温度を室温から  $200^\circ\text{C}$  まで昇温しながらの温度依存性評価を行う以前に、同一基板上に作製した他のデバイスの同様の測定時に、実質的に  $200^\circ\text{C}$  までのアニールプロセスが加わったものに相当する。現在のところ原因は定かではないが、このような低温アニールプロセスを経ることで、Pt/Ga<sub>2</sub>O<sub>3</sub> ショットキーバリア高さ  $q\phi_b$  が約  $0.1$  eV 減少し、更には逆方向リーク電流が最大  $5$  桁程度と大幅に減少することが分かっている。なお、順方向特性に関しては、アニールの有無によらず、 $q\phi_b$  の減少以外には大きな変化は見られない。

図 8(a) に、室温から  $200^\circ\text{C}$  の動作温度 ( $T$ ) 領域において測定した順方向  $J-V-T$  特性を示す。順方向特性は、 $T$  上昇に伴いスムーズに変移しており、この温度領域では特に劣化等の振る舞いは見られない。それぞれの  $T$  で得られた実験データに対して、TE モデルに基づいたフィッティングを行い、 $n$  値を求めた結果、 $1.03 \pm 0.01$  の優れた特性を得ている。また、同じく順方向特性のフィッティング直線と縦軸の切片から飽和電流密度  $J_0$  を導出し、リチャードソンプロットを行った [図 8(b)]。TE モデルに従う場合、 $\ln(J_0/T^2) = \ln(A^{**}) - q\phi_b/kT$  ( $T$ : 絶対温度,  $A^{**}$ : 実効リチャードソン定数,  $k$ : ボルツマン定数) の関係式が成立するため、図 8(b) のプロットに対するフィッティング直線から、 $q\phi_b=1.15$  eV,  $A^{**}=55 \text{ A/cm}^2 \cdot \text{K}^2$  と見積もられた。なお、このリチャードソンプロットから得た  $q\phi_b=1.15$  eV は、同デバイスにおいて別途  $C-V$  測定から得た値とほぼ等しい。また上述のように、 $200^\circ\text{C}$  までのアニール履歴により、アニール前と比較して  $q\phi_b$  は約  $0.1$  eV 減少している。今回、同一基板上に作製した五つのデバイスにおいて、同様の動作温度依存性を調べた結果、 $A^{**}=20-60 \text{ A/cm}^2 \cdot \text{K}^2$  の範囲の値が得られた。これは、第一原理計算によって求められた理論値  $m^*=0.23-0.34 m_0$  を用いて導い

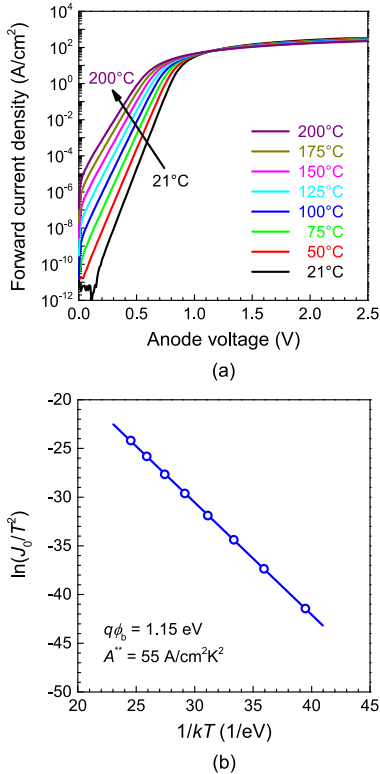


図 8 (a) 21°C から 200°C における  $\text{Ga}_2\text{O}_3$  SBD の順方向  $J$ - $V$ - $T$  特性, (b) リチャードソンプロット  
Fig. 8 (a) Forward  $J$ - $V$ - $T$  characteristics of  $\text{Ga}_2\text{O}_3$  SBD from 21°C to 200°C and (b) Richardson's plot. Reproduced from Ref. 17, with the permission of AIP Publishing.

たりチャードソン定数  $A^*=28\text{--}41 \text{ A/cm}^2\cdot\text{K}^2$  と大きな相違がないことが分かる。

続いて、同デバイスの逆方向  $J$ - $V$ - $T$  特性を、熱電界放出モデル (thermionic field emission model) に基づいて理論計算したカーブとともに図 9 に示す。この理論計算には、他のワイドバンドギャップ半導体デバイスの解析に多く用いられている、簡略化した逆方向リーク電流計算式を用いた [20]。また、 $\text{Ga}_2\text{O}_3$  に関するパラメーターとしては、比誘電率  $\epsilon_s=10$  [21]、リチャードソン定数  $A^*$  は  $m^*=0.34m_0$  として計算した理論値、 $N_d-N_a$  は  $C$ - $V$  特性から得た実験値  $1.2\times 10^{16} \text{ cm}^{-3}$  を用いている。結果、図 9 に示すように、特に 100°C 以上において理論値と実験値の良い一致が得られていることが分かる。100°C 以下での計算値と実験値のずれは、絶縁膜表面パッシベーションを施していないために生じる表面リークに依ると考えられる [22]。

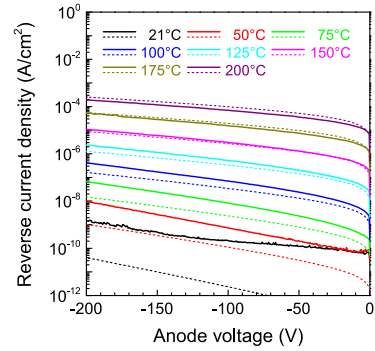


図 9 21°C から 200°C における  $\text{Ga}_2\text{O}_3$  SBD の逆方向  $J$ - $V$ - $T$  特性 (実線：実験結果, 点線：計算結果)  
Fig. 9 Reverse  $J$ - $V$ - $T$  characteristics of  $\text{Ga}_2\text{O}_3$  SBD from 21°C to 200°C. Solid and dotted lines correspond to experimental and calculated values, respectively. Reproduced from Ref. 17, with the permission of AIP Publishing.

そのため、今後アニールプロセス、及び絶縁膜による  $\text{Ga}_2\text{O}_3$  表面パッシベーションが、逆方向リーク電流にどのような影響を与えるかを見極め、オフ状態リーク電流を常に理想値レベルに抑えるプロセスの開発が必要である。

#### 4. む す び

本研究では、横型  $\text{Ga}_2\text{O}_3$  FP-MOSFET 及び縦型  $\text{Ga}_2\text{O}_3$  SBD を作製し、そのデバイス特性を評価した。FP-MOSFET, SBD ともにシンプルなデバイス構造であるにもかかわらず、高いオフ耐圧、高温安定動作に代表される優れたデバイス特性を実証した。これらの結果は、 $\text{Ga}_2\text{O}_3$  という新しい半導体材料が有する、将来的なパワーデバイス応用に向けた大きな可能性を示すものである。

謝辞 本研究の一部は、総合科学技術・イノベーション会議の SIP (戦略的イノベーション創造プログラム) 「次世代パワーエレクトロニクス」(管理法人:NEDO) によって実施されました。

#### 文 献

- [1] M. Higashiwaki, K. Sasaki, A. Kuramata, T. Masui, and S. Yamakoshi, "Gallium oxide ( $\text{Ga}_2\text{O}_3$ ) metal-semiconductor field-effect transistors on single-crystal  $\beta$ - $\text{Ga}_2\text{O}_3$  (010) substrates," Appl. Phys. Lett., vol.100, 013504, 2012.
- [2] M. Orita, H. Ohta, M. Hirano, and H. Hosono, "Deep-ultraviolet transparent conductive  $\beta$ - $\text{Ga}_2\text{O}_3$  thin films," Appl. Phys. Lett., vol.77, no.25, pp.4166-4168, 2000.

- [3] H.H. Tippins, "Optical absorption and photoconductivity in the band edge of  $\beta$ -Ga<sub>2</sub>O<sub>3</sub>," Phys. Rev. A, vol.140, no.1A, pp.A316–A319, 1965.
- [4] H. He, R. Orlando, M.A. Blanco, R. Pandey, E. Amzallag, I. Baraille, and M. Rérat, "First-principles study of the structural, electronic, and optical properties of Ga<sub>2</sub>O<sub>3</sub> in its monoclinic and hexagonal phases," Phys. Rev. B, vol.74, 195123, 2006.
- [5] T. Onuma, S. Saito, K. Sasaki, T. Masui, T. Yamaguchi, T. Honda, and M. Higashiwaki, "Valence band ordering in  $\beta$ -Ga<sub>2</sub>O<sub>3</sub> studied by polarized transmittance and reflectance spectroscopy," Jpn. J. Appl. Phys., vol.54, 112601, 2015.
- [6] Y. Tomm, P. Reiche, D. Klimm, and T. Fukuda, "Czochralski grown Ga<sub>2</sub>O<sub>3</sub> crystals," J. Cryst. Growth, vol.220, pp.510–514, 2000.
- [7] Z. Galazka, K. Irmscher, R. Uecker, R. Bertram, M. Pietsch, A. Kwasniewski, M. Naumann, T. Schulz, R. Schewski, D. Klimm, and M. Bickermann, "On the bulk  $\beta$ -Ga<sub>2</sub>O<sub>3</sub> single crystals grown by the Czochralski method," J. Cryst. Growth, vol.404, pp.184–191, 2014.
- [8] N. Ueda, H. Hosono, R. Waseda, and H. Kawazoe, "Synthesis and control of conductivity of ultraviolet transmitting  $\beta$ -Ga<sub>2</sub>O<sub>3</sub> single crystals," Appl. Phys. Lett., vol.70, no.26, pp.3561–3563, 1997.
- [9] E.G. Villora, K. Shimamura, Y. Yoshikawa, K. Aoki, and N. Ichinose, "Large-size  $\beta$ -Ga<sub>2</sub>O<sub>3</sub> single crystals and wafers," J. Cryst. Growth, vol.270, pp.420–426, 2004.
- [10] S. Ohira, M. Yoshioka, T. Sugawara, K. Nakajima, and T. Shishido, "Fabrication of hexagonal GaN on the surface of  $\beta$ -Ga<sub>2</sub>O<sub>3</sub> single crystal by nitridation with NH<sub>3</sub>," Thin Solid Films, vol.496, pp.53–57, 2006.
- [11] H. Aida, K. Nishiguchi, H. Takeda, N. Aota, K. Sunakawa, and Y. Yaguchi, "Growth of  $\beta$ -Ga<sub>2</sub>O<sub>3</sub> single crystals by the edge-defined, film fed growth method," Jpn. J. Appl. Phys., vol.47, no.11, pp.8506–8509, 2008.
- [12] M.H. Wong, K. Sasaki, A. Kuramata, S. Yamakoshi, and M. Higashiwaki, "Field-plated Ga<sub>2</sub>O<sub>3</sub> MOSFETs with a breakdown voltage of over 750 V," IEEE Electron Device Lett., vol.37, pp.212–215, 2016.
- [13] K. Sasaki, M. Higashiwaki, A. Kuramata, T. Masui, and S. Yamakoshi, "Si-ion implantation doping in  $\beta$ -Ga<sub>2</sub>O<sub>3</sub> and its application to fabrication of low-resistance ohmic contacts," Appl. Phys. Express, vol.6, 086502, 2013.
- [14] T. Kamimura, K. Sasaki, M.H. Wong, D. Krishnamurthy, A. Kuramata, T. Masui, S. Yamakoshi, and M. Higashiwaki, "Band alignment and electrical properties of Al<sub>2</sub>O<sub>3</sub>/ $\beta$ -Ga<sub>2</sub>O<sub>3</sub> heterojunctions," Appl. Phys. Lett., vol.104, 192104, 2014.
- [15] M. Higashiwaki, K. Sasaki, T. Kamimura, M.H. Wong, D. Krishnamurthy, A. Kuramata, T. Masui, and S. Yamakoshi, "Depletion-mode Ga<sub>2</sub>O<sub>3</sub> metal-oxide-semiconductor field-effect transistors on  $\beta$ -Ga<sub>2</sub>O<sub>3</sub> (010) substrates and temperature dependence of their device characteristics," Appl. Phys. Lett., vol.103, 123511, 2013.
- [16] M. Higashiwaki, K. Sasaki, M.H. Wong, T. Kamimura, D. Krishnamurthy, A. Kuramata, T. Masui, and S. Yamakoshi, "Depletion-mode Ga<sub>2</sub>O<sub>3</sub> MOSFETs on  $\beta$ -Ga<sub>2</sub>O<sub>3</sub> (010) substrates with Si-ion-implanted channel and contacts," Tech. Dig. IEEE Int. Electron Devices Meet., pp.28.7.1–28.7.4, 2013.
- [17] M. Higashiwaki, K. Konishi, K. Sasaki, K. Goto, K. Nomura, Q.T. Thieu, R. Togashi, H. Murakami, Y. Kumagai, B. Monemar, A. Koukitu, A. Kuramata, and S. Yamakoshi, "Temperature-dependent capacitance–voltage and current–voltage characteristics of Pt/Ga<sub>2</sub>O<sub>3</sub> (001) Schottky barrier diodes fabricated on  $n^-$ -Ga<sub>2</sub>O<sub>3</sub> drift layers grown by halide vapor phase epitaxy," Appl. Phys. Lett., vol.108, 133503, 2016.
- [18] K. Nomura, K. Goto, R. Togashi, H. Murakami, Y. Kumagai, A. Kuramata, S. Yamakoshi, and A. Koukitu, "Thermodynamic study of  $\beta$ -Ga<sub>2</sub>O<sub>3</sub> growth by halide vapor phase epitaxy," J. Cryst. Growth, vol.405, pp.19–22, 2014.
- [19] H. Murakami, K. Nomura, K. Goto, K. Sasaki, K. Kawara, Q.T. Thieu, R. Togashi, Y. Kumagai, M. Higashiwaki, A. Kuramata, S. Yamakoshi, B. Monemar, and A. Koukitu, "Homoepitaxial growth of  $\beta$ -Ga<sub>2</sub>O<sub>3</sub> layers by halide vapor phase epitaxy," Appl. Phys. Express, vol.8, 015503, 2015.
- [20] T. Hatakeyama and T. Shinohe, "Reverse characteristics of a 4H-SiC Schottky barrier diode," Mater. Sci. Forum, vol.389–393, pp.1169–1172, 2002.
- [21] M. Passlack, N.E.J. Hunt, E.F. Schubert, G.J. Zydzik, M. Hong, J.P. Mannaerts, R.L. Opila, and R.J. Fischer, "Dielectric properties of electron-beam deposited Ga<sub>2</sub>O<sub>3</sub> films," Appl. Phys. Lett., vol.64, pp.2715–2717, 1994.
- [22] M.H. Wong, K. Sasaki, A. Kuramata, S. Yamakoshi, and M. Higashiwaki, "Anomalous Fe diffusion in Si-ion-implanted  $\beta$ -Ga<sub>2</sub>O<sub>3</sub> and its suppression in Ga<sub>2</sub>O<sub>3</sub> transistor structures through highly-resistive buffer layers," Appl. Phys. Lett., vol.106, 032105, 2015.

(平成 27 年 12 月 21 日受付, 28 年 4 月 8 日再受付,  
8 月 9 日公開)



東脇 正高 (正員)

1998年3月大阪大学大学院基礎工学研究科博士後期課程修了。博士(工学)。同年4月日本学術振興会博士特別研究員(PD)。2000年4月郵政省通信総合研究所(2004年独立行政法人情報通信研究機構に改組)に入所。研究員、主任研究員、総括主任研究員を経て、2013年より同機構未来ICT研究所グリーンICTデバイス先端開発センター長。2007年から2010年米国カリフォルニア大学サンタバーバラ校 Project Scientist。化合物半導体電子デバイス、薄膜エピタキシャル結晶成長に関する研究に従事。2006年応用物理学学会論文賞、2007年 ISCS Young Scientist Award、2009年丸文研究奨励賞、2013年フジサンケイビジネスアイ先端技術大賞特別賞、2014年日本学術振興会賞など受賞。



倉又 朗人

1986年京都大学工学部金属加工学科を卒業。同年、(株)富士通研究所に入社。主として、InP系、GaN系化合物半導体の結晶成長、デバイス開発に従事。2008年(株)タムラ製作所に転職。酸化ガリウム単結晶基板の開発、酸化ガリウム基板上高輝度LEDの開発、酸化ガリウムパワーデバイスの開発体制を立ち上げ、開発を推進。2013年フジサンケイビジネスアイ先端技術大賞特別賞を受賞。



村上 尚

2005年3月東京農工大学大学院工学研究科博士後期課程修了。博士(工学)。2003年から2005年日本学術振興会特別研究員(DC2)。2005年4月東京農工大学大学院共生科学技術研究院助手、2007年同助教を経て、2011年12月より東京農工大学大学院工学研究院応用化学部助教(現職)。化合物半導体、特にIII族窒化物半導体の結晶成長に関する研究に従事。2011年 ICNS-9 Young Researcher Award 等受賞。



熊谷 義直

1996年3月筑波大学大学院博士課程工学研究科物質工学専攻修了。博士(工学)。同年4月株式会社テキサス・インスツルメンツ筑波研究開発センターに入社。電子材料研究室・研究員として半導体結晶表面・成長の研究に従事。1999年4月東京農工大学工学部応用分子化学科に助手として赴任。講師、准教授を経て、2013年より教授。2006年スウェーデン・リンチョーピン大学・IFM研究所訪問研究員。化合物半導体結晶気相成長の反応解析、結晶成長・評価、デバイス応用に関する研究に従事。2013年及び2014年応用物理学学会論文賞、2013年日本結晶成長学会技術賞を受賞。