

大規模・高速・高精度シミュレーション技術の現状と課題

浅井 秀樹^{†a)} 井上 雄太^{†b)} 岡田 慎吾^{††c)}

Present Status and Future Trend of Large-Scale/High-Speed/High-Precision Simulation Technology

Hideki ASAI^{†a)}, Yuta INOUE^{†b)}, and Shingo OKADA^{††c)}

あらまし 近年、回路を含む電気電子系システムの高性能化、高周波数化と共に、大規模システムを高精度、かつ、高速にシミュレーションする要求が高まっている。高精度シミュレーションのためには、集中定数モデルを分布定数モデルに置き換えることや、三次元フル・ウェーブ解析が要求されたりすることがしばしばとなっている。本論文では、そのような要求に対して、詳細モデルを利用していかに高速に解くか？という課題に対する処方箋について、アルゴリズムとハードウェア・アクセラレータの観点から述べる。今後、三次元メカトロニクス設計やマルチ・フィジックス設計に向けて、多様な展開が期待される。

キーワード 回路解析, 大規模・高速・高精度シミュレーション, 三次元, 電磁界解析, SI/PI/EMI 解析

1. まえがき

1940年代末に発明されたトランジスタは、その後、集積化され、今日、VLSI (Very Large Scale Integrated Circuit) として発展を続けている。また、その設計には、CAD (Computer-Aided Design) やその解析のための CAE (Computer-Aided Engineering) 技術が不可欠となっている。半導体は、パッケージ、高密度基板上に実装され、大規模化だけではなく、チップ・パッケージ・ボードというマルチ・スケール/マルチ・ドメインでの協調設計が不可欠となり、また、それらの統合的なシミュレーション/CAE 技術の需要も急激に高まっている。すなわち、統合的なシミュレーションの対象は、大規模化し、しかも、検証の高精度、かつ、高速化が強く要求されている。電気シミュレーションに用いられるモデルは、従来、集中定数が多用されてきたが、精度の要求が高まるに従って、分布定

数、更には、三次元物理モデルへと変遷している。そのことにより、対象モデルが大型化し、したがって、高速なシミュレーション/CAE 技術の要求も強くなってきた。将来的には、電気シミュレーションに限ることなく、電気-機械のいわゆるメカトロニクス分野や電気-熱-応力のマルチ・フィジックス分野への展開が期待される。

本論文では、回路/電磁界解析に関わる高速化、高精度化についてアルゴリズムとハードウェア・アクセラレータの観点から述べる [1], [2].

2. 歴史的変遷

1970年代半ばまでに開発された SPICE (Simulation Program with Integrated Circuit Emphasis) に代表される回路シミュレータ [3]~[5] は、数値積分に陰解法を利用し、差分法により生成された多元の連立方程式の解析にいわゆる LU 分解法などの三角化分解法、すなわち、直接法が適用された。当然、大規模解析に対しては、大規模な行列計算が要求され、システムの規模 $O(N)$ に対して、 $O(N^2) \sim O(N^3)$ の計算量が必要となる。そのため、大規模システムの解析に適用することが実用的観点からは、困難である。高精度の解析を必要とする場合、対象モデルが集中定数系では不十分となり、分布定数系でモデル化することもしばしばであり、大規模な系を高速に解くことが要求さ

[†] 静岡大学電子工学研究所ナノビジョン研究部門, 浜松市 Nanovision Research Division, Research Institute of Electronics, Shizuoka University, Hamamatsu-shi, 432-8561 Japan

^{††} 静岡大学創造科学技術大学院自然科学系教育部, 浜松市 Graduate School of Science and Technology, Shizuoka University, Hamamatsu-shi, 432-8561 Japan

a) E-mail: asai.hideki@shizuoka.ac.jp

b) E-mail: inoue@tzasai7.sys.eng.shizuoka.ac.jp

c) E-mail: okada@tzasai7.sys.eng.shizuoka.ac.jp

れる．近年，回路解析が集中定数系，分布定数系を対象とするのに対して，構造と材料特性を直接，電磁的にモデル化し，三次元電磁界解析として扱う場合もしばしばとなっている．電磁界解析では，FDTD (Finite Difference Time Domain) 法，FEM (Finite Element Method)，MoM (Method of Moments) 等 [6], [7] が多用される．例えば，大規模な三次元システムの時間領域解析において，近年のコンピュータ技術の進歩とともに FDTD 法が多用されているが，この場合においても何らかの高速手法が必要となることがしばしばである．歴史的に見ると，SPICE が陰解法を利用するのに対して，1980 年代に大規模回路シミュレーションに対してタイミングシミュレータ (MOTIS, Relax, SPLICE など) が開発された [8]～[12]．その際に，直接法に対して，緩和アルゴリズムや最急降下法などの反復的な解法が利用された．そこでは，マルチレート積分法を利用可能な波形緩和法，非線形緩和法を含む反復タイミング解析法，回路分割を利用可能とするブロック緩和アルゴリズムなどが研究開発された．1990 年代には，大規模線形システムを等価変換法による回路縮退法により，回路行列を小型化し，高速解析を実現する研究が盛んに行われた [13]～[16]．

2000 年代に入り，LIM (Latency Insertion Method) が提案された [17]．電磁界解析で汎用されている FDTD 法が電界と磁界成分を交互に半ステップずつ進める陽的解法であるのに対して，LIM では，電圧と電流成分を交互に半ステップずつ進める陽的解法を採用しており，多様な高速化が発展してきている．LIM が，仮想的な寄生値を付加して反復計算の数値安定性を高めるという考え方は，LIM の提案を 10 年あまりさかのぼる時期に仮想状態緩和法として提案されており，緩和法を利用することで，行列演算を回避し，高速化が図られている [18]．また，部分的なカップリングに対応するためのブロック LIM も回路分割と仮想状態緩和法を合理的，かつ，適切に組み合わせたクラスの適用例と考えることができる．陽的解法を主眼とした高速化手法が主流であるのに対して，我々の研究室では，最近，部分的に陰解法を利用することで，高速，かつ，収束性の高いシミュレーション技術 [19]～[25]，及び，高並列計算による高速化 [26]～[30] に注目してきた．それらの成果についてまとめる．

3. 局所陰的 LIM

3.1 概要

大規模回路網を高速に過渡解析する手法として，LIM が J.E. Schutt-Aine により提案されている [17]．LIM は，差分近似に leapfrog 型の差分法を用いているため，代入演算のみで電圧と電流の更新を行うことができる．そのため，回路全体の行列演算を必要とする従来の SPICE 系シミュレータより数十倍以上高速な解析が可能である．しかし，leapfrog 型の差分法に基づいているため，数値安定条件

$$\Delta t < \sqrt{2} \min_{a=1}^{N^N} \left(\sqrt{\frac{C_a}{N_a^B} \min_{m=1} (L_{am})} \right) \quad (1)$$

によって Δt が厳しく制限される欠点がある．ここで， N^N は回路網に存在する総節点数， N_a^B は節点 a に接続している枝の本数， C_a は節点 a に接続しているキャパシタンス， L_{am} は節点 a と m の間に接続している枝のインダクタンスである．式 (1) は，回路網に小さなリアクタンス成分が存在する場合， Δt を小さくしなければならないため計算効率が低下することを示している．

LIM のこの問題点を解決する手法として，ADI (Alternating Direction Implicit) 法を適用した ADI-LIM [19]，数値安定条件を緩和させた弱条件安定な ADE (Alternating Direction Explicit)-LIM [20]，回路網を複数の部分回路に適切に分割し，部分回路ごとに異なる時間刻み幅を用いるマルチレート LIM [21], [31] など，LIM のアルゴリズムを改良した手法が提案されている．局所陰的 LIM もこの問題点を解決するために LIM のアルゴリズムを改良した手法の一つである [22]．局所陰的 LIM では，回路網をリアクタンス成分の大きさに基づいて複数の部分回路に分割し，小さなリアクタンス成分を含む部分回路に対しては無条件安定である陰解法を適用することにより，数値安定条件を緩和させる．この手法は，そのアルゴリズムの性質から，小さなリアクタンス成分が局所的に存在するような回路網に対して特に有効な手法である．そのため，モデル化で得られる等価回路網がそのような回路網となる複雑な形状を有していたり，微細な構造が含まれる電源分配回路網 (PDN: Power Distribution Network) の解析に適している．また，局所陰的 LIM の改良手法として，相互結合素子を含んだ回路網の解析を可能にした局所陰的ブロック LIM [23]，マルチ

レート性に着目し、マルチレートな時間刻みを用いることにより、更に高速な解析を可能にしたマルチレート局所陰的 LIM [24], 非線形素子の解析を可能にした非線形局所陰的 LIM [25] など、いくつもの改良した手法が提案されている。

本論文では、はじめに PDN の等価回路網のモデル化、及び従来の LIM について概説する。そのあとに局所陰的 LIM について述べる。

3.2 等価回路抽出

プリント基板における PDN は、導体平行平板と誘電層からなる電源・グランドプレーンによって構成されている。近年、有効なモデルリング手法の一つとして、ドロネー三角分割による三角メッシュを用いた Delaunay-Voronoi モデルが提案されている [32]。この手法は、図 1 に示すようにドロネー図とボロノイ図で平行平板を離散化することにより RLCG 素子からなる等価回路網を抽出する手法である。図 2(a) に図 1 の点 a における単位セルを示す。図 2(a) において、 A_a はドロネー点 a を囲んでいるボロノイ領域の面積、 d_{ab} はドロネー三角形の辺の長さ、 l_b はボロノイ辺の長さである。図 2(a) から抽出した等価回路図を 2(b) に示す。また、各素子値は、

$$C_a = \epsilon \frac{A_a}{h} \quad (2)$$

$$L_{ab} = \mu h \frac{d_{ab}}{l_{ab}} \quad (3)$$

と計算できる。ここで、 ϵ , h , μ はそれぞれ導体平板間の誘電率、厚さ、透磁率である。式 (2), (3) より、キャパシタンスとインダクタンスの大きさはメッシュサイズに比例している。

3.3 LIM

LIM は図 3(a), (b) に示す節点構造、枝構造を最小単位として構成される回路の解析に適している手法である。節点構造はキャパシタ C_a 、コンダクタンス G_a 、独立電流源 H_a が節点 a と接地間に並列に接続されている構造であり、一方、枝構造とは抵抗 R_{ab} 、インダクタ L_{ab} 、独立電圧源 E_{ab} が節点 a, b 間に直列に接続されている構造である。LIM では、図 3(a), (b) に示す節点構造と枝構造に対して、節点電圧 v_a と枝電流 i_{ab} を未知変数にとり、キルヒホッフの電流則 (KCL: kirchhoff's current law) とキルヒホッフの電圧則 (KVL: kirchhoff's voltage law) をそれぞれ適用して得られる一階の微分方程式に leapfrog 型の差分法を適用することにより、LIM の更新式

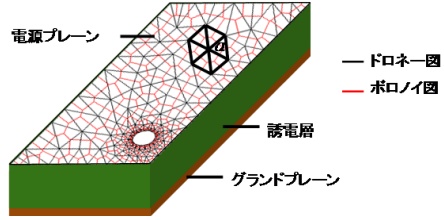
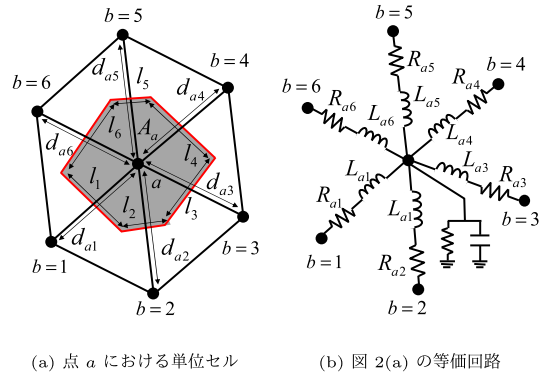


図 1 電源・グランドプレーンをドロネー図とボロノイ図で分割した図

Fig.1 Delaunay triangulation (black line) and Voronoi diagram (red line) applied to power/ground planes.



(a) 点 a における単位セル (b) 図 2(a) の等価回路

図 2 Delaunay-Voronoi モデル
Fig.2 Delaunay-Voronoi model.

$$v_a^{n+\frac{1}{2}} = \frac{C_a}{C_a + \Delta t G_a} v_a^{n-\frac{1}{2}} - \frac{\Delta t}{C_a + \Delta t G_a} \left(\sum_{m=1}^{N_a^B} i_{am}^n + H_a^n \right) \quad (4)$$

$$i_{ab}^{n+1} = \frac{L_{ab} - \Delta t R_{ab}}{L_{ab}} i_{ab}^n + \frac{\Delta t}{L_{ab}} (v_a^{n+\frac{1}{2}} - v_b^{n+\frac{1}{2}} + E_{ab}^{n+\frac{1}{2}}) \quad (5)$$

を導出できる。

ここで、 N_a^B は節点 a に接続している枝構造の数、 Δt は時間刻み幅、 n はタイムステップである。差分近似に leapfrog 型の差分法を適用しているため、更新式 (4), (5) における電圧変数と電流変数の時間配置は半ステップずれており、右辺は全て既知の値となっている。すなわち、電圧と電流を代入計算のみで交互に更新するアルゴリズムとなっている。

3.4 局所陰的 LIM

局所陰的 LIM では、はじめに解析に用いる時間刻み幅 Δt_{used} を決定する。精度的に妥当な結果を得るた

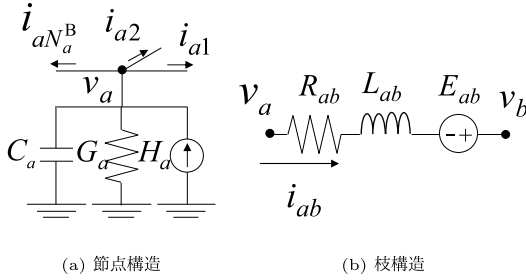


図 3 LIM における回路構造
Fig.3 Circuit topologies required for the LIM.

めに、時間刻み幅 Δt は、注目したい最大周波数 f_{\max} の周期を T とすると、 $T/10$ 以下にする必要がある。次に、解析対象の回路網を LIM の数値安定条件の式 (1) を満たす部分回路と満たさない部分回路に分割する。本論文では、式 (1) を満たす部分回路を高リアクタンス部、満たさない部分回路を低リアクタンス部と定義する。式 (2), (3) から明らかなようにモデル化された等価回路のリアクタンス成分は、メッシュサイズの大きさに比例している。そのため、図 4 に示すように小さなメッシュからモデル化された部分回路が低リアクタンス部、それ以外の部分回路が高リアクタンス部に分割される。具体的には、 f_{\max} の波長を $\lambda_{f_{\max}}$ とすると、メッシュサイズがおおよそ $\Delta t_{\text{used}}/T\lambda_{f_{\max}}$ 以下のメッシュは低リアクタンス部となる。そのあと、高リアクタンス部には LIM の更新式、低リアクタンス部には無条件安定である陰解法を適用することにより導出される更新式を用いて、電圧と電流の更新を行う。

低リアクタンス部の定式化では、低リアクタンス部内の節点から流れ出る電流を、低リアクタンス部に流れ出る電流と高リアクタンス部に流れ出る電流に分けて扱うことにより定式化する。図 4 の節点 a に対して、KCL を適用することにより、一階の微分方程式

$$C_a \frac{d}{dt} v_a + G_a v_a = - \sum_{p=1}^{N_{a,L}^B} i_{ap} - \sum_{q=1}^{N_{a,H}^B} i_{aq} \quad (6)$$

が得られる。ここで、 $N_{a,L}^B$ は節点 a に接続している低リアクタンス部の枝の本数、 $N_{a,H}^B$ は節点 a に接続している高リアクタンス部の枝の本数である。式 (6) に対して、電圧と低リアクタンス部の電流に関しては陰的な後退差分を、高リアクタンス部の電流には leapfrog 型の差分法を適用し、 $v^{n+\frac{1}{2}}$ について整理すると低リアクタンス部の節点電圧の更新式

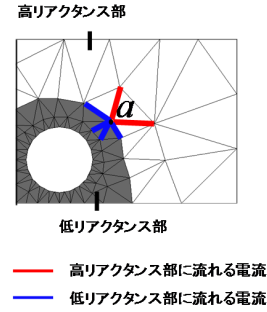


図 4 低リアクタンス部と高リアクタンス部に分割された等価回路網
Fig.4 Equivalent circuit separated into the low reactance part and the high reactance part.

$$\frac{Y_a}{\Delta t} v_a^{n+\frac{1}{2}} = -\frac{1}{\Delta t} C_a v_a^{n-\frac{1}{2}} - \sum_{p=1}^{N_{a,L}^B} i_{ap}^{n+\frac{1}{2}} - \sum_{q=1}^{N_{a,H}^B} i_{aq}^n \quad (7)$$

が得られる。ここで、 $Y_a \equiv C_a + \Delta t G_a$ とした。一方、枝構造に KVL を適用し、後退差分法を適用すると低リアクタンス部の枝電流の更新式

$$i_{ab}^{n+\frac{1}{2}} = \frac{Z_{ab}}{L_{ab}} i_{ab}^{n-\frac{1}{2}} + \frac{\Delta t}{Z_{ab}} \left(v_a^{n+\frac{1}{2}} - v_b^{n+\frac{1}{2}} \right) \quad (8)$$

が得られる。ここで $Z_{ab} \equiv L_{ab} + \Delta t R_{ab}$ とした。式 (7), (8) より、低リアクタンス部の節点電圧を更新するためには同時刻の低リアクタンス部の枝電流の値、枝電流を更新するためには同時刻の低リアクタンス部の節点電圧の値が必要である。したがって、低リアクタンス部の節点の総数を N_L^N 、枝の総数を N_L^B とすると、低リアクタンス部の電圧と電流を更新するためには、 $(N_L^N + N_L^B)$ 次正方行列を解かなければならない。計算量を削減するために、式 (8) を式 (7) に代入し、 $v_a^{n+\frac{1}{2}}$ について整理すると、低リアクタンス部の節点電圧の更新式は

$$\left\{ \frac{Y_a}{\Delta t} + \sum_{p=1}^{N_{a,L}^B} \frac{\Delta t}{Z_{ap}} \right\} v_a^{n+\frac{1}{2}} - \sum_{p=1}^{N_{a,L}^B} \left(\frac{\Delta t}{Z_{ap}} v_p^{n+\frac{1}{2}} \right) = \frac{C_a}{\Delta t} v_a^{n-\frac{1}{2}} - \sum_{p=1}^{N_{a,L}^B} \frac{L_{ap}}{Z_{ap}} i_{ap}^{n-\frac{1}{2}} - \sum_{q=1}^{N_{a,H}^B} i_{aq}^n \quad (9)$$

となる。式 (9) は、低リアクタンス部の節点 a における電圧を更新するためには、それと接続している低リアクタンス部の同時刻の電圧の値が必要であることを意味している。したがって、低リアクタンス部の節点

電圧を更新するためには、全節点電圧を同時に更新する必要がある。低リアクタンス部の全ての節点に対する式 (9) を連立させることにより、低リアクタンス部の節点電圧の更新式は、 N_L^N 元連立方程式として

$$\left(\frac{\mathbf{Y}_L}{\Delta t} + \Delta t \hat{\mathbf{Z}}_L\right) \mathbf{v}_L^{n+\frac{1}{2}} = \frac{\mathbf{C}_L}{\Delta t} \mathbf{v}_L^{n-\frac{1}{2}} - \mathbf{b}_L^{n-\frac{1}{2}} \quad (10)$$

と書き表せる。ここで、 \mathbf{Y}_L は、 Y_a を a 番目の対角要素としてもつ対角行列、 \mathbf{C}_L は、 C_a を a 番目の対角要素としてもつ対角行列、 $\hat{\mathbf{Z}}_L$ は、 $1/Z_{ap}$ を対応する箇所要素としてもつ対称行列、 \mathbf{v}_L は、低リアクタンス部の節点電圧からなる電圧ベクトル、 \mathbf{b}_L は、式 (9) の右辺第 2 項と第 3 項からなる既知ベクトルを表している。式 (10) の左辺の係数行列は、低リアクタンス部の節点同士の接続関係を表した N_L^N 次正方行列となっている。

局所陰的 LIM では、式 (10) を用いて各低リアクタンス部の節点電圧を更新する。次に、式 (8) を用いて各低リアクタンス部の枝電流を代入計算のみで更新する。そのあとに、式 (4), (5) を用いて高リアクタンス部の電圧と電流の更新を行う。低リアクタンス部の節点電圧を更新する際に行列演算を行うため、LIM と比較して 1 タイムステップにおける計算量は増加する。しかし、総タイムステップ数を大幅に削減できるため、解析にかかる計算コストはを大幅に削減できる。

Delaunay-Voronoi モデルを用いて約 750 個の節点を含む等価回路網にモデル化された電源・グラウンドプレーンの等価回路網の解析では、従来の LIM よりも約 14 倍大きな時間刻み幅を用いることにより、LIM と比較して約 2.5 倍高速な過渡解析が可能であることが実証されている [22]。

4. ハードウェア・アクセラレータを用いた高速化技法

シミュレーションを高速化するために、新たな解析手法の開発と併せて、ハードウェア・アクセラレータを用いた高速化も検討されている [26]~[28], [33]。このハードウェア・アクセラレータとして利用されるハードウェアは、複数台の PC (Personal Computer) を高速なネットワークで接続した PC クラスタ [34] や FPGA (Field Programmable Gate Array) [35], GPU (Graphics Processing Unit) [36], MIC (Many Integrated Core) [37] が挙げられ、また、以上の四つのハードウェアは組み合わせて用いられる場合もある。上記に挙げたハードウェアのうち、GPU と MIC はブ

ロセッサ上に多数のプロセッサコアを有するメモリーコア・アーキテクチャであり、加えて、プロセッサとメモリ間の 1 秒間に転送できるバイト数を示すメモリバンド幅が PC と比べて非常に大きい。そのため、CPU で計算する場合と比べて高速に計算でき、様々な分野で利用されている [36]。ここでは、この利用範囲のうち、電磁界解析技術に注目して述べる。電磁界解析手法の一つである FDTD 法 [6] は並列計算に適したアルゴリズムであり、メモリーコア・アーキテクチャを用いた高速化の検討が多くなされており、GPU と MIC のいずれの場合でも一桁以上の高速化が報告されている [29], [38]。このように、ハードウェア・アクセラレータを用いれば一桁以上の高速化を得られるが、FDTD 法は陽的な差分法に基づくことから、取り得る最大の時間刻み幅が CFL (Courant-Friedrichs-Lewy) 条件によって厳しく制限される。このため、プリント基板のような解析対象を解析する場合、時間刻み幅が微小となり、多くの計算機資源が要求され、結果として、解析結果を得るのが困難な問題が多数存在する。そのため、高速なアルゴリズムとハードウェア・アクセラレータを組み合わせることで、より高速な解析手法を開発することが求められる。本節では、FDTD 法の CFL 条件を緩和し、高速に解析できるように改良された HIE (hybrid implicit-explicit)-FDTD 法 [39], [40] に対して、複数の GPU を用いることができるように拡張したマルチ GPU HIE-FDTD 法 [30] について述べる。

4.1 HIE-FDTD 法

FDTD 法は、電界と磁界の時間配置が半タイムステップ異なる時刻に配置され、解析空間が図 5 に示

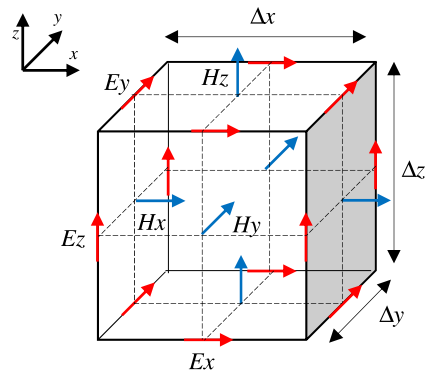


図 5 FDTD 法で用いられる Yee セル
Fig. 5 Yee cell used in the FDTD method.

す Yee セルによって離散化される．この Yee セルは直方体をなしており，電界が辺に，磁界が面に配置されている．また， Δx と Δy ， Δz は，各軸方向のセル長である．FDTD 法は，陽的な差分法に基づいており，このセル長によって求まる最大時間刻み幅を満たさなければならない．FDTD 法の CFL 条件を式 (11) に示す．

$$\Delta t_{\max} < \frac{1}{c \sqrt{\left(\frac{1}{\Delta x_{\min}}\right)^2 + \left(\frac{1}{\Delta y_{\min}}\right)^2 + \left(\frac{1}{\Delta z_{\min}}\right)^2}} \quad (11)$$

ここで， Δt_{\max} は最大時間刻み幅， c は光速， $\Delta \alpha_{\min} (\alpha = x, y, z)$ は各軸方向の最小のセル長である．HIE-FDTD 法は，プリント基板のようなある一軸方向に対して微小なセルサイズを要求する解析対象を効率的に解析するために提案されている．図 6 は，HIE-FDTD 法の解析対象の一つであるプリント基板

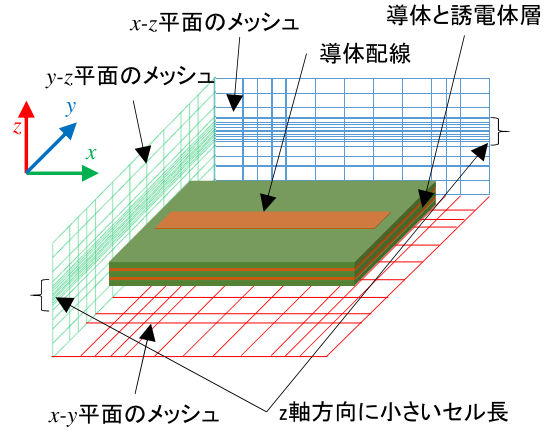


図 6 HIE-FDTD 法で解析するのに適したプリント基板の例

Fig. 6 Suitable example printed circuit board used for the HIE-FDTD method.

$$E_z^{n+\frac{1}{2}}\left(i, j, k+\frac{1}{2}\right) = C_a\left(i, j, k+\frac{1}{2}\right) E_z^{n-\frac{1}{2}}\left(i, j, k+\frac{1}{2}\right) + C_b\left(i, j, k+\frac{1}{2}\right) \left\{ H_y^n\left(i+\frac{1}{2}, j, k+\frac{1}{2}\right) - H_y^n\left(i-\frac{1}{2}, j, k+\frac{1}{2}\right) \right\} / \Delta x(i) - C_b\left(i, j, k+\frac{1}{2}\right) \left\{ H_x^n\left(i, j+\frac{1}{2}, k+\frac{1}{2}\right) - H_x^n\left(i, j-\frac{1}{2}, k+\frac{1}{2}\right) \right\} / \Delta y(j), \quad (12)$$

$$H_z^{n+\frac{1}{2}}\left(i+\frac{1}{2}, j+\frac{1}{2}, k\right) = H_z^{n-\frac{1}{2}}\left(i+\frac{1}{2}, j+\frac{1}{2}, k\right) - D_b\left(i+\frac{1}{2}, j+\frac{1}{2}, k\right) \left\{ E_y^n\left(i+\frac{1}{2}, j+\frac{1}{2}, k\right) - E_y^n\left(i, j+\frac{1}{2}, k\right) \right\} / \Delta x\left(i+\frac{1}{2}\right) + D_b\left(i+\frac{1}{2}, j+\frac{1}{2}, k\right) \left\{ E_x^n\left(i+\frac{1}{2}, j+1, k\right) - E_x^n\left(i+\frac{1}{2}, j, k\right) \right\} / \Delta y\left(j+\frac{1}{2}\right), \quad (13)$$

$$-\alpha E_x^{n+1}\left(i+\frac{1}{2}, j, k-1\right) + \beta E_x^{n+1}\left(i+\frac{1}{2}, j, k\right) - \gamma E_x^{n+1}\left(i+\frac{1}{2}, j, k+1\right) = C_a\left(i+\frac{1}{2}, j, k\right) / C_b\left(i, j, k+\frac{1}{2}\right) E_x^n\left(i+\frac{1}{2}, j, k\right) + \left\{ H_z^{n+\frac{1}{2}}\left(i+\frac{1}{2}, j+\frac{1}{2}, k\right) - H_z^{n+\frac{1}{2}}\left(i+\frac{1}{2}, j-\frac{1}{2}, k\right) \right\} / \Delta y(j) - \left\{ H_y^n\left(i+\frac{1}{2}, j, k+\frac{1}{2}\right) - H_y^n\left(i+\frac{1}{2}, j, k-\frac{1}{2}\right) \right\} / \Delta z(k) + \frac{D_b\left(i+\frac{1}{2}, j, k+\frac{1}{2}\right)}{2\Delta z(k)} \left\{ E_x^n\left(i+\frac{1}{2}, j, k+1\right) - E_x^n\left(i+\frac{1}{2}, j, k\right) \right\} / 2\Delta z\left(k+\frac{1}{2}\right) - \left\{ E_z^{n+\frac{1}{2}}\left(i+1, j, k+\frac{1}{2}\right) - E_z^{n+\frac{1}{2}}\left(i, j, k+\frac{1}{2}\right) \right\} / \Delta x\left(i+\frac{1}{2}\right) - \frac{D_b\left(i+\frac{1}{2}, j, k-\frac{1}{2}\right)}{2\Delta z(k)} \left\{ E_x^n\left(i+\frac{1}{2}, j, k\right) - E_x^n\left(i+\frac{1}{2}, j, k-1\right) \right\} / 2\Delta z\left(k-\frac{1}{2}\right) - \left\{ E_z^{n+\frac{1}{2}}\left(i+1, j, k-\frac{1}{2}\right) - E_z^{n+\frac{1}{2}}\left(i, j, k-\frac{1}{2}\right) \right\} / \Delta x\left(i+\frac{1}{2}\right), \quad (14)$$

$$H_y^{n+1}\left(i+\frac{1}{2}, j, k+\frac{1}{2}\right) = H_y^n\left(i+\frac{1}{2}, j, k+\frac{1}{2}\right) + D_b\left(i+\frac{1}{2}, j, k+\frac{1}{2}\right) \left\{ E_z^{n+\frac{1}{2}}\left(i+1, j, k+\frac{1}{2}\right) - E_z^{n+\frac{1}{2}}\left(i, j, k+\frac{1}{2}\right) \right\} / \Delta x\left(i+\frac{1}{2}\right) - D_b\left(i+\frac{1}{2}, j, k+\frac{1}{2}\right) \left\{ E_x^{n+1}\left(i+\frac{1}{2}, j, k+1\right) + E_x^n\left(i+\frac{1}{2}, j, k+1\right) - E_x^{n+1}\left(i+\frac{1}{2}, j, k\right) - E_x^n\left(i+\frac{1}{2}, j, k\right) \right\} / 2\Delta z\left(k+\frac{1}{2}\right), \quad (15)$$

$$C_b(i, j, k) = \frac{2\Delta t}{2\epsilon(i, j, k) + \Delta t\sigma(i, j, k)}, \quad D_b(i, j, k) = \frac{\Delta t}{\mu(i, j, k)}, \quad C_a(i, j, k) = \frac{2\epsilon(i, j, k) - \Delta t\sigma(i, j, k)}{2\epsilon(i, j, k) + \Delta t\sigma(i, j, k)}$$

$$\alpha = \frac{D_b\left(i+\frac{1}{2}, j, k-\frac{1}{2}\right)}{4\Delta z\left(k-\frac{1}{2}\right)\Delta z(k)}, \quad \beta = \frac{1}{C_b\left(i+\frac{1}{2}, j, k\right)} + \frac{D_b\left(i+\frac{1}{2}, j, k-\frac{1}{2}\right)}{4\Delta z\left(k-\frac{1}{2}\right)\Delta z(k)} + \frac{D_b\left(i+\frac{1}{2}, j, k+\frac{1}{2}\right)}{4\Delta z(k)\Delta z\left(k+\frac{1}{2}\right)}, \quad \gamma = \frac{D_b\left(i+\frac{1}{2}, j, k+\frac{1}{2}\right)}{4\Delta z(k)\Delta z\left(k+\frac{1}{2}\right)}$$

を示している．このようなプリント基板では， z 軸方向のセル長である Δz が小さなセルを用いてモデル化が行われる．そのため，HIE-FDTD 法では， z 軸方向にのみ無条件安定な陰的な差分法を適用し，それ以外には陽的な差分法を適用して定式化が行われる．ここで，式 (12) と式 (13) に，陽的な差分法を適用した E_z と H_z の更新式を，式 (14) と式 (15) に陰的な差分法を適用した E_x と H_y の更新式を示す． E_y と H_x は E_x と H_y と同様である．HIE-FDTD 法の更新処理は，まず，式 (12) と式 (13) より， E_z と H_z を代入演算によって更新する．次に，式 (14) より， E_x と E_y を連立一次方程式の解法を用いて更新する．最後に，式 (15) より， H_x と H_y を更新するが同じ時間ステップインデックスの E_x と E_y は既知の値であるため代入演算により求められる．

z 軸方向に無条件安定である陰的な差分法を適用するため，HIE-FDTD 法の CFL 条件は FDTD 法の CFL 条件と比べて緩和された不等式になる．HIE-FDTD 法の CFL 条件を式 (16) に示す．

$$\Delta t_{\max} < \frac{1}{c \sqrt{\left(\frac{1}{\Delta x_{\min}}\right)^2 + \left(\frac{1}{\Delta y_{\min}}\right)^2}} \quad (16)$$

式 (16) より，HIE-FDTD 法の CFL 条件は z 軸方向の最小のセル長である Δz_{\min} が除かれ，FDTD 法と比べて大きな時間刻み幅を利用できる．式 (14) より， E_x と E_y の更新には LU 分解法といった連立一次方程式の解法を必要とするため，HIE-FDTD 法の計算量は約 1.8 倍に増える．そのため，FDTD 法の時間刻み幅と比べ，時間刻み幅を 2 倍よりも大きく取れる場合には，FDTD 法と比べて高速に解析できる．

4.2 マルチ GPU HIE-FDTD 法

ここでは，マルチ GPU を用いるために必要な領域分割と更新処理について述べる．また，GPU コンピューティングのために CUDA [41] を用いる．CUDA は，NVIDIA 製の GPU 上でプログラムを実行するために用意された統合開発環境である．CUDA では，GPU で実行する関数をカーネルと呼び，カーネルは CPU からグリッドを伴って実行される．グリッドは，任意の数のブロックによって構成され，ブロックも，任意の数のスレッドによって構成される．そして，ブロックは，GPU 上のストリーミングマルチプロセッサに対応する．スレッドは，CUDA ではプロセスの最小単位であり，CUDA コアに対応し，計算処理はスレッドによって行われる．

4.2.1 マルチ GPU を利用するための領域分割

マルチ GPU を利用するための領域分割は，GPU を割り当てるための領域分割と，GPU で計算するための領域分割の二つに分けられる．

GPU を割り当てるための領域分割では，解析領域全体は x と y 軸に沿って，用いる GPU の数だけの部分解析領域に分割される．そして，この部分解析領域一つに対して，一つの GPU が割り当てられる．この領域分割時には，各部分解析領域の境界のセルは，隣接する部分解析領域との間で通信処理をするために重複して保持される．更に， z 軸上の各 $x-y$ 平面は， $x-y$ 平面のセル数を 64 の倍数とするためにダミーセルが付け足される．このダミーセルは，GPU で計算するための領域分割と，コアレスメモリアクセスと呼ばれる，NVIDIA 製 GPU 特有の効率的なメモリアクセスの要件を満たすために用いられる．この要件とは，128 バイト境界にアラインすることと，ワーブと呼ばれる 32 個のスレッドの集まりがメモリの先頭アドレスから順番に連続してアクセスすることである．

次に，GPU で計算するための領域分割では，更新式によって二種類の領域分割のいずれかが適用される．HIE-FDTD 法では，式 (12) と式 (13)，式 (15) より， E_z と H_x ， H_y ， H_z が代入演算によって更新される．そのため，各変数は行列演算を用いることなく，独立して更新される．一方で，式 (14) より， E_x と E_y は，LU 分解法を用いて解を得る．LU 分解法の並列化を考えた場合，追加の計算処理や通信処理がオーバーヘッドとして発生する．一般的に，並列計算のパフォーマンスを向上させるためには，オーバーヘッドを最小にしなければならない．そのため，式 (14) より，部分解析領域を z 軸方向に沿って分割することは，適していない．したがって， E_x と E_y では， x と y 軸にのみ沿って分割される． E_z と H_x ， H_y ， H_z のために領域分割された部分解析領域を図 7(a) に示し，図 7(b) に E_x と E_y のために領域分割された部分解析領域を示す．ここで， NX と NY ， NZ は各軸方向のセル数である．ブロックは，CUDA のブロックに対応しており， E_z と H_x ， H_y ， H_z の更新では，カーネルは $(NX \times NY/64, NZ, 1)$ 個のブロックで構成されたグリッドとともに実行される．このとき，各ブロックは，64 個のスレッドで構成されており，1 スレッドが 1 変数を更新する． E_x と E_y の更新では，グリッドは $(NX \times NY/64, 1, 1)$ 個のブロックで構成される．ここでは，64 個のスレッドが LU 分解法を用いて NZ 個

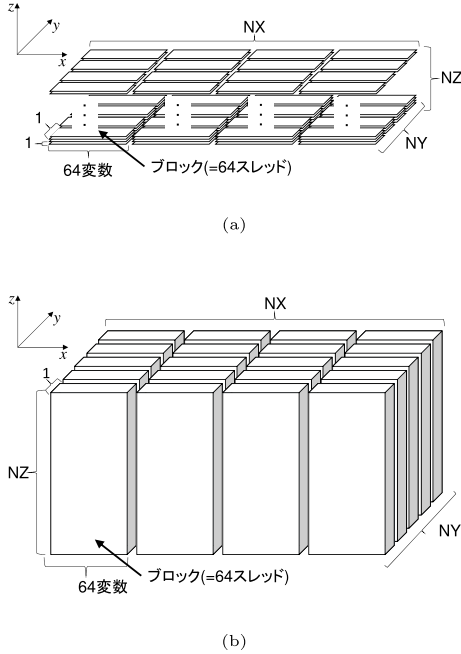


図 7 GPU コンピューティングのための部分解析領域の領域分割 (a) E_z と H_x , H_y , H_z のために領域分割された部分解析領域 (b) E_x と E_y のために領域分割された部分解析領域

Fig.7 Domain decomposition of the subdomain for GPU computing. (a) Divided subdomain for E_z , H_x , H_y , and H_z . (b) Partitioned subdomain for E_x and E_y .

の変数を更新する。

4.2.2 更新処理

マルチ GPU HIE-FDTD 法は、過渡解析中に磁界成分を隣接する部分解析領域を割り当てられた GPU 間で通信する必要がある。通信処理は、並列計算で最も時間のかかるオーバーヘッドの一つである。この通信処理時間を隠蔽するため、各電磁界成分の境界に位置する変数と内部に位置する変数で更新処理が分割される。すなわち、通信処理が必要な境界のセルに位置する磁界成分の更新を行い、各 GPU 間でその変数の値が MPI の非同期関数を用いて通信される [42]。非同期関数を用いることで、通信処理と電磁界成分の内部の変数の計算処理が同時に行われ、通信処理時間が隠蔽される。追加した境界のセルに位置する電磁界成分の計算処理は、マルチ GPU HIE-FDTD 法のオーバーヘッドの一つであるが、通信処理に必要な計算時間の方が大きいため、相対的に小さくなる。

表 1 FDTD 法と HIE-FDTD 法, マルチ GPU HIE-FDTD 法の計算時間の比較

Table 1 Comparison of execution time by the conventional FDTD method, HIE-FDTD method, and the multi-GPU HIE-FDTD method.

		セル数	
		2048 × 2048 × 40 セル	
計算時間 (秒)	FDTD 法	26120.00	
	HIE-FDTD 法	4395.21	
	マルチ GPU HIE-FDTD 法	77.70	

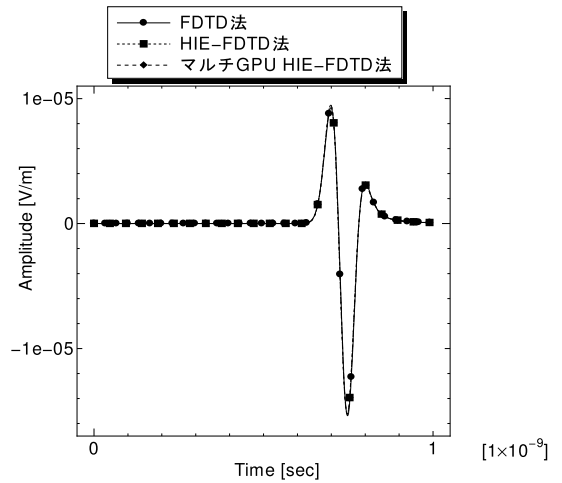


図 8 FDTD 法と HIE-FDTD 法, マルチ GPU HIE-FDTD 法の出力波形の比較

Fig.8 Comparison of waveform results by the conventional FDTD method, the HIE-FDTD method, and the multi-GPU HIE-FDTD method.

4.3 数値実験例

マルチ GPU HIE-FDTD 法の性能を検証するために、 1.68×10^8 個のセルからなる自由空間の解析領域を 1 ナノ秒まで解析したときの計算時間を比較する。ここで、セル長は $\Delta x = \Delta y = 10\Delta z = 1.0^{-3}(\text{m})$ とし、入力として、 $E_z = \exp\left[-(4/(1.5 \times 10^{-10}) \times (n\Delta t - 1.5 \times 10^{-10}))^2\right]$ を解析領域の中心に与え、そこから x 軸方向と y 軸方向に 100 セル離れた位置の E_z を観測する。そして、CPU として Intel Xeon E5-2650 を使い、GPU として Tesla C2075 を用いた。更に、8 個の GPU と倍精度浮動小数点型の変数を用いて解析を行った。表 1 に、FDTD 法と HIE-FDTD 法とマルチ GPU HIE-FDTD 法の計算時間を、図 8 に出力波形を示す。本例題の場合、表 1 より、従来の FDTD 法と比べて HIE-

FDTD 法は約 6 倍高速に、マルチ GPU HIE-FDTD 法の場合は 300 倍以上高速に解析できることを確認した。

5. む す び

本論文では、大規模 (チップ・パッケージ・ボード) システムに対する高速・高精度な SI/PI/EMI シミュレーション技術について述べた。特に、局所陰解法や高並列計算のハードウェア・アクセラレータによる技術を駆使することで、従来法と比較して 100 倍以上の高速化が可能であることを実証とともに示した。今後の更なる改良により、三桁以上の高速化も期待でき、車載用電子機器やロボットを含むメカトロシステムの最適設計への適用も期待される。

謝辞 本研究は、JSPS 科研費 24300018 の助成と (株) 理工学研究センターからのご支援を受けたものです。深謝致します。

文 献

- [1] 浅井秀樹, “高速電子設計のための SI/PI/EMI シミュレーション技術—過去, 現在, そして未来,” 電子情報通信学会基礎・境界ソサイエティ Fundamentals Review, vol.5, no.2, pp.146–154, 2011.
- [2] 浅井秀樹, 井上雄太, 關根惟敏, “高速三次元電磁界・回路シミュレーション技術の現状と将来展望,” 電子情報通信学会基礎・境界ソサイエティ Fundamentals Review, vol.7, no.3, pp.197–209, 2014.
- [3] L.W. Nagel and D.O. Pederson, “SPICE (simulation program with integrated circuit emphasis),” Technical Report UCB/ERL M382, EECS Department, University of California, Berkeley, April 1973.
- [4] W.J. McCalla, Fundamentals of Computer-Aided Circuit Simulation, Kluwer Academic Publishers, 1988.
- [5] 浅井秀樹, 渡辺貴之, 電子回路シミュレーション技法, エレクトロニクス・シリーズ, 科学技術出版, 2003.
- [6] A. Taflov and S.C. Hagness, Computational Electrodynamics: The Finite-Difference Time-Domain Method, 3rd ed., Artech House, Boston, 2005.
- [7] B. Archambeault, C. brench, and O.M. Ramahi, EMI/EMC Computational Modeling Handbook, Kluwer Academic Publishers, 2001.
- [8] B.R. Chawla, H.K. Gummel, and P. Kozak, “MOTIS-An MOS timing simulator,” IEEE Trans. Circuits Syst., vol.22, no.12, pp.901–910, Dec. 1975.
- [9] A. Newton, “Techniques for the simulation of large-scale integrated circuits,” IEEE Trans. Circuits Syst., vol.26, no.9, pp.741–749, Sept. 1979.
- [10] E. Lelarsmee, A.E. Ruehli, and A. Sangiovanni-Vincentelli, “The waveform relaxation method for time-domain analysis of large scale integrated circuits,” IEEE Trans. Comput. Aided Des. Integr. Circuits Syst., vol.1, no.3, pp.131–145, July 1982.
- [11] J.K. White and A. Sangiovanni-Vincentelli, Relaxation Techniques for the Simulation of VLSI Circuits, Kluwer Academic Publishers, 1987.
- [12] R.A. Saleh, A.R. Newton, and S.-J. Jou, Mixed-Mode Simulation and Analog Multilevel Simulation, The Springer International Series in Engineering and Computer Science, Kluwer Academic Publishers, 1994.
- [13] L.T. Pillage and R.A. Rohrer, “Asymptotic waveform evaluation for timing analysis,” IEEE Trans. Comput. Aided Des. Integr. Circuits Syst., vol.9, no.4, pp.352–366, April 1990.
- [14] E. Chiprout and M.S. Nakhla, Asymptotic Waveform Evaluation and Moment Matching for Interconnect Analysis, Kluwer Academic Publishers, Norwell, MA, USA, 1994.
- [15] K.J. Kerns and A.T. Yang, “Stable and efficient reduction of large, multiport RC networks by pole analysis via congruence transformations,” IEEE Trans. Comput. Aided Des. Integr. Circuits Syst., vol.16, no.7, pp.734–744, July 1997.
- [16] A. Odabasioglu, M. Celik, and L.T. Pileggi, “PRIMA: Passive reduced-order interconnect macromodeling algorithm,” 1997 IEEE/ACM International Conference on Computer-Aided Design, 1997. Digest of Technical Papers, pp.58–65, Nov. 1997.
- [17] J.E. Schutt-Ainé, “Latency insertion method (LIM) for the fast transient simulation of large networks,” IEEE Trans. Circuits Syst. I: Fundam. Theory Appl., vol.48, pp.81–89, Jan. 2001.
- [18] H. Asai and T. Kokado, “Virtual state relaxation technique for circuit simulation and its properties,” Proc. JTC-CSCC’88, pp.548–551, Nov. 1988.
- [19] 石丸友紀, 關根惟敏, 浅井秀樹, “ADI ブロック LIM による多層電源分配網解析,” 信学論 (A), vol.J94-A, no.12, pp.1043–1046, Dec. 2011.
- [20] H. Kurobe, T. Sekine, and H. Asai, “Alternating direction explicit-latency insertion method (ADE-LIM) for the fast transient simulation of transmission lines,” IEEE Trans. Compon. Packag. Manuf. Technol., vol.2, no.5, pp.783–792, May 2012.
- [21] N. Tsuboi and H. Asai, “Multi-rate latency insertion method for the fast transient simulation of large networks with nonlinear termination,” 2006 IEEE Electrical Performance of Electronic Packaging, pp.137–140, Oct. 2006.
- [22] H. Kurobe, T. Sekine, and H. Asai, “Locally implicit lim for the simulation of pdn modeled by triangular meshes,” IEEE Microwave and Wireless Components Letters, vol.22, no.6, pp.291–293, June 2012.
- [23] 岡田慎吾, 關根惟敏, 浅井秀樹, “局所陰的ブロック型 leapfrog 法による多層電源分配網の高速過渡解析,” 信学論 (C), vol.J98-C, no.5, pp.96–104, May 2015.

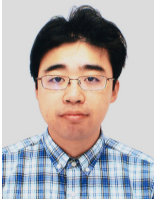
- [24] T. Hojo, S. Okada, T. Sekine, and H. Asai, "Fast transient analysis of power/ground planes based on multi-rate locally implicit latency insertion method," 2013 IEEE Electrical Design of Advanced Packaging and Systems Symposium (EDAPS), pp.80-83, Dec. 2013.
- [25] S. Okada and H. Asai, "A locally implicit leapfrog scheme for fast simulation of triangle-meshed pdn with nonlinear circuit," 2014 International Symposium on Electromagnetic Compatibility (EMC Europe), pp.211-216, Sept. 2014.
- [26] Y. Inoue, T. Sekine, T. Hasegawa, and H. Asai, "Fast circuit simulation based on parallel-distributed LIM using cloud computing system," JSTS, vol.10, no.1, pp.49-54, March 2010.
- [27] 井上雄太, 關根惟敏, 浅井秀樹, "GPGPU-LIM を用いた電源分配回路網の高速過渡解析," 信学論 (C), vol.J93-C, no.11, pp.406-413, Nov. 2010.
- [28] Y. Inoue, T. Sekine, and H. Asai, "Parallel-distributed block-LIM for transient simulation of tightly coupled transmission lines," IEEE Trans. Compon. Packag. Manuf. Technol., vol.3, no.4, pp.670-677, April 2013.
- [29] M. Unno, Y. Inoue, and H. Asai, "Gpgpu-fdtd method for 2-dimensional electromagnetic field simulation and its estimation," IEEE EPEPS 2009, pp.239-242, Portland, Oct. 2009.
- [30] Y. Inoue and H. Asai, "Multi-GPU HIE-FDTD method for the solution of large scale electromagnetic problems," IEEE EDAPS 2013, pp.126-129, Dec. 2013.
- [31] P. Goh, J. Schutt-Aine, D. Klokov, J. Tan, P. Liu, W. Dai, and F. Al-Hawari, "Partitioned latency insertion method with a generalized stability criteria," IEEE Trans. Compon. Packag. Manuf. Technol., vol.1, no.9, pp.1447-1455, Sept. 2011.
- [32] K.-B. Wu, G.-H. Shiue, W.-D. Guo, C.-M. Lin, and R.-B. Wu, "Delaunay-voronoi modeling of power-ground planes with source port correction," IEEE Trans. Ad. Packag., vol.31, no.2, pp.303-310, May 2008.
- [33] T. Watanabe, Y. Tanji, H. Kubota, and H. Asai, "Fast transient simulation of power distribution networks containing dispersion based on parallel-distributed leapfrog algorithm," IEICE Trans. Fundamentals, vol.E90-A, no.2, pp.388-397, Feb. 2007.
- [34] W. Yu, R. Mitra, T. Su, Y. Liu, and X. Yang, Parallel Finite-Difference Time-Domain Method, Artech House, Norwood, MA, USA, 2006.
- [35] K. Gulati and S.P. Khatri, Hardware Acceleration of EDA Algorithms: Custom ICs, FPGAs and GPUs, Springer Publishing Company, Incorporated, 2010.
- [36] W.W. Hwu, ed., GPU Computing gems, emerald edition, Applications of GPU Computing, Morgan Kaufmann, 2011.
- [37] A. Duran and M. Klemm, "The intel® many integrated core architecture," Int. Conf. on High Performance Computing and Simulation (HPCS) 2012, pp.365-366, July 2012.
- [38] T. Nagaoka and S. Watanabe, "Efficient three-dimensional FDTD computation with emerging many-core coprocessor for bioelectromagnetic simulation," Trans. Jpn. Soc. for Medical and Biol. Eng., vol.51, no. Supplement, p.R-39, 2013.
- [39] B. Huang, G. Wang, Y. Jiang, and W. Wang, "A hybrid implicit-explicit FDTD scheme with weakly conditional stability," Microw. Opt. Technol. Lett., vol.39, no.2, pp.97-101, Oct. 2003.
- [40] J. Chen and J. Wang, "Numerical simulation using HIE-FDTD method to estimate various antennas with fine scale structures," IEEE Trans. Antennas Propag., vol.55, no.12, pp.3603-3612, Dec. 2007.
- [41] 伊藤智義, GPU プログラミング入門: CUDA5 による実装, 講談社, 2013.
- [42] A. Grama, A. Gupta, G. Karypis, and V. Kumar, Introduction to Parallel Computing, 2nd edition, Addison-Wesley Longman Publishing, Boston, MA, USA, 2002.

(平成 27 年 10 月 8 日受付, 12 月 20 日再受付,
28 年 4 月 6 日公開)



浅井 秀樹 (正員:フェロー)

昭 55 慶大・工・電気卒, 昭 60 同大学院博士課程了。同年上智大・理工・電気電子・助手, 昭 61 静岡大・工・光電機械・専任講師, 昭 62 同助教授を経て, 平 9 同大学・工・システム・教授 (平 23~24, 平 26~28 静岡大卓越研究者称号拝受)。平 25 より現職。平 18 セサミテクノロジー (株) 起業。工博。その間, VLSI-CAE/EDA, パワー/シグナルインテグリティ解析技術, ニューラルネットワーク, 車載用電子機器の設計最適化などの研究に従事。平 6~7 IEEE 回路とシステムソサイエティ東京支部幹事, 平 9~10 本会非線形問題研究専門委員会幹事, 平 19 同委員長, 平 17~18 エレクトロニクス実装学会理事, 同学会回路実装・設計技術委員会副委員長, 平 19~20 同委員長, 21~22 同理事, 平 11 カールトン大 (カナダ), サンタ・クララ大 (米国) 客員研究員, 昭 63 高柳研究奨励賞, 平元本会東海支部創立 50 周年記念研究奨励賞, 平 5 齋藤奨励賞, 平 21 文部科学大臣表彰科学技術賞 (研究部門), 平 21 高柳記念賞, など受賞。IEEE, 電気学会, エレクトロニクス実装学会各会員。著書「デジタル回路演習ノート」(コロナ社, 平 13), 「電子回路シミュレーション技法」(科学技術出版, 平 15) など。



井上 雄太 (正員)

平成 17 年静岡大・工・システム卒. 平成 19 同大学院工学研究科システム工学専攻了. 平成 23 同大学創造科学技術大学院情報科学専攻了. ハイパフォーマンスコンピューティング, 及び, GPGPU, 回路・電磁界シミュレーション技術の研究に従事.



岡田 慎吾 (正員)

平成 22 年静岡大学工学部システム工学科卒業. 平成 26 年 IEICE 東海支部学生研究奨励賞受賞. 現在, 静岡大学創造科学技術大学院博士後期課程. 平成 25 年 SLDM 優秀論文賞受賞. SLDM 優秀発表学生賞受賞. 平成 25 年静岡大学大学院工学研究

科修士課程修了.