

先鋭バンプを用いた異種材料・機能のマイクロ接合技術

浅野 種正^{†a)}

Microjoining Using Compliant Bump Technology for Heterogeneous Integration

Tanemasa ASANO^{†a)}

あらまし 化合物半導体や MEMS 等とシリコン CMOS の異種機能を積層して集積化するのに有効と思われるマイクロ接合電極を紹介する。その電極は、先鋭形状をもつバンプ電極である。先鋭形状の先端が加重により圧潰するという単純な機構ながら、低荷重・低ひずみ接合、10 ミクロンまでの狭ピッチ配置、チップ当たり 30 万を超える多ピン接続、常温接合も可能な低温接合などの点で従来のマイクロ接合技術をはるかに凌駕する性能を提供できる。製造プロセスは従来とほぼ同様である。Au や Cu で製造することが可能である。シリコン貫通電極との適合性も備える。これらの特長を生かした応用例として、裏面照射型 CMOS イメージセンサと近赤外イメージセンサを紹介する。また、有機樹脂との集積化の例として、フレキシブル樹脂フィルム上へのシリコンチップの搭載可能性について併せて紹介する。

キーワード 三次元 LSI, マイクロ接合, マイクロバンプ, 貫通電極, TSV

1. ま え が き

「異種間の融合にはパワーがあると思われる」との若手研究者のやや感覚的ではあるが本質に迫る記述 [1] を読み、異種機能の融合の今後の大きな可能性に改めて思いをはせている。ここ 30 年間における情報通信技術の急速な発達により、実空間の様々な現象をリアルタイムで検知、情報化し、アーカイブ化して社会の最適化を目指すシステムが発展・普及しようとしている。CPS (Cyber Physical System) [2] と呼ばれるものの一つの事例になるのであろう。一方で、6 年ほど前に“More than Moore” と呼ばれる異種機能融合型の半導体技術開発の方向性を表す言葉が ITRS (International Technology Roadmap of Semiconductor) に登場したのも、このような実空間での応用を意識したエレクトロニクスの発展をにらんでのことと想像される。このような、いわば情報のジャイアントマイクログリッドと呼べるシステムを想像すると、半導体 LSI の応用は無尽蔵といっても過言ではなからう。

このようなシステムを構築する LSI には、異種機能の融合がもたらす新機能性に加えて、一層の低電力性、小形、信頼性が求められるであろう。三次元 LSI 技術はそのための有力なデバイス集積化技術である。何故ならば、小形化が可能であることのほか、信号接続の並列化によるクロックの有効利用が可能であること、貫通電極はボンディングワイヤやプリント基板上の配線に比べて負荷を小さくできること、そして電源の供給の自由度が高く信号保全性を高められること、などがあるからである。MEMS と CMOS の集積化 [3], [4] や BEOL (Back End of Line) デバイスのように CMOS との積層によって発現できる機能も三次元 LSI の大きな特長である。

積層接続による三次元 LSI の鍵の技術はシリコン貫通配線 (Through Silicon Via, TSV) とマイクロ電極による配線接合技術、及び薄化したウェーハまたはチップのハンドリング技術である。本論文では、マイクロ接合技術に焦点を当てる。マイクロ接合技術は一般に、重ねた LSI に荷重をかけながら加熱するという手法で接合する。荷重が大きいと接合点付近に残留ひずみを発生するおそれが生じるとともに、クラック等の発生に至る場合もある。高温を必要とする接合技術は、それだけで材料に制限が発生するし、残留ひずみも大きくなる。図 1 に、種々の材料の硬さ (ヤング

[†]九州大学大学院システム情報科学研究院, 福岡市
Graduate School of Information Science and Electrical
Engineering, Kyushu University, 744 Motooka, Nishi-ku,
Fukuoka-shi, 819-0395 Japan

a) E-mail: asano@ed.kyushu-u.ac.jp

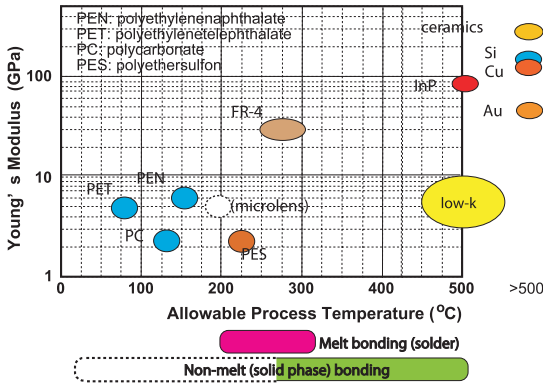


図1 材料のヤング率とプロセス可能な温度
Fig.1 Young's modulus and allowable process temperature of electronic materials.



図2 先鋭バンプの例：コーン形バンプ
Fig.2 Cone bump of compliant bump.

率)とプロセス可能な温度をプロットしたものを示す。半導体材料どうしを接合する場合には、大きな制約はないが、化合物半導体と Si CMOS を積層する場合には、熱膨張係数差によって大きな残留ひずみが発生する可能性があるため、可能な限り低温で接合する技術が望ましい。

一方、有機材料と CMOS の集積化も、新機能を実現するために、今後重要な研究対象になるように思われる。例えば、フレキシブルエレクトロニクスでは CMOS LSI と樹脂フィルム上の配線との接合が重要な課題になる。本論文では、これら有機材料と CMOS LSI との接合も含めて我々が開発を進めている、先鋭バンプ電極を用いた接合技術の現状を報告する [5]~[9]。

2. 先鋭バンプの機能

先鋭バンプとは先端が先鋭な形状をしたバンプである。これまでピラミッド形 [5], [8] とコーン形バンプ [6], [8] を開発してきた。コーン形バンプの例を図 2 に示す。このバンプは、通常の写真レジストによるバンプ形成と同じプロセスステップを用いてウェーハレベルにて製造可能である。すなわち、チップ表面への UBM (Under Bump Metal) 堆積、フォトリソグラフィによるバンプの「型」の作製、金の電解メッキ、フォトリソグラムの除去、UBM エッチングというメッキバンプ形成に用いられる通常のプロセスである。現在、Au 製のものは 8 インチプロセスで製造可能になっており、Cu 製のものについても開発を進めている。電極の大きさは、底面の直径でいうと、約 5 ミク

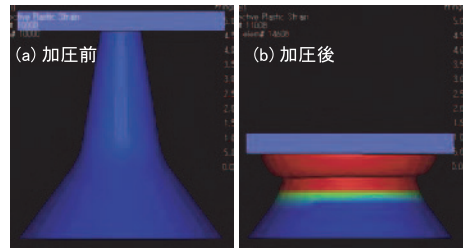


図3 有限要素解析による先鋭バンプの変形 (a) 加圧前、(b) 加圧後
Fig.3 Finite element analysis of deformation of cone bump; (a) before press and (b) after press.

ロン~約 35 ミクロン (底面径と高さの比はおよそ 1 : 1) の範囲で設計・製造ができるようになっている。

このような先鋭構造とすることで、接合時にバンプが容易に変形する。図 3 に、有限要素法で変形の挙動を解析した結果を示す。また、Au 製の先鋭バンプと同じく Au 製の平たんバンプを接合した断面の例を図 4 に示す。このバンプの形態がもたらす代表的な機能を挙げる。

- **接合不良の抑制** 圧接により容易に変形するためバンプ高さのばらつきを吸収でき、バンプ数及び密度が増大しても接続欠陥の発生を抑制することができる。

- **接合ひずみの抑制** バンプピッチが小さくなると、バンプの高さばらつきによりシリコンチップに大きなひずみを発生させる。ひずみシリコン技術から類推されるように、このひずみは CMOS の電流駆動力を大きく増減させてしまうために、信号応答速度を設

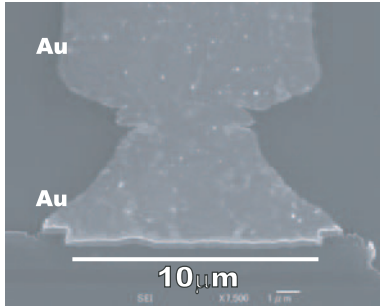


図4 接合した Au 先鋭バンプ (下部)/平たんバンプ (上部). バンプはいずれも Au 製

Fig. 4 Cross-section of bonded cone bump (bottom)/flat bump (top) made of Au.

計値と大きく変えてしまう。先鋭バンプ（コンプライアントバンプ）はそれ自身が容易に変形するために、シリコン側に加わるひずみを緩和できる。

- **接合温度の低温化** 接合温度を低温化できる。ワイヤボンディングや超音波フリップチップ接合ではワイヤ先端のボールやスタッドバンプに超音波を加え、それを揺動させることで変形させ、新生面を出している。一方、先鋭バンプの場合は圧接だけで変形が容易に起こることから、超音波加振による揺動がなくても金属の新生面が現れるため、金属間接合を起こしやすくなると考えられる。

また、後述するように、かしめ効果 (calking effect) [10] を発現するための構造にも応用でき、Au だけでなく Cu 電極同士の常温接合 [11]~[13] も可能になっている。

3. 接合性能

- **配置ピッチ** バンプ電極の配置ピッチの最小値は、バンプの微細化限界で決定される。微細化はおよそフォトレジストの解像度で決まる。先鋭バンプの場合、頂点の径が底面の径の約 1/4 程度になるように設計している。現在利用しているフォトレジストでは、バンプ底面の径が約 5 ミクロン、ピッチが 10 ミクロンが実現できている最小値である。

サイズの大きなバンプ開発に対する要望も高い。いわゆるスタッドバンプ技術では対応が困難な 50 ミクロンを下回るピッチの電極を容易に実現できるからであると推察される。また、Au 製のスタッドバンプは、ワイヤボンディング技術を応用して作製できるが、Cu 製のスタッドバンプをワイヤボンディング装置で作る

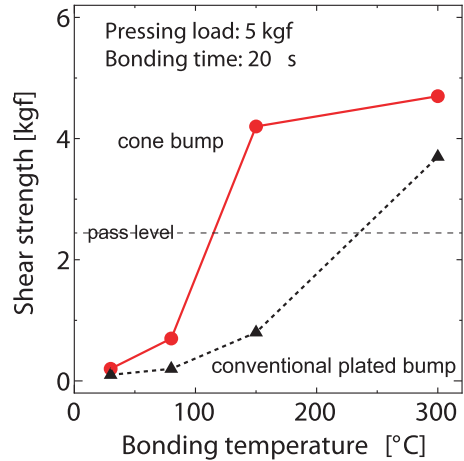


図5 接合温度によるチップ接合強度（シヤ強度）の変化。コーン形バンプ/平たんバンプ接合と平たんバンプ/平たんバンプ接合を比較している。

Fig. 5 Change in die shear strength with bonding temperature obtained from cone-bump/flat-bump bonded and flat-bump/flat-bump bonded dies.

のは容易ではないと想像され、本技術が狭ピッチの Cu 製スタッドバンプを製造できる唯一の方法になる可能性がある。

- **接続点数** 容易に変形するため、バンプの高さばらつき、接合装置の調整不良による荷重の不均一性、パーティクルに起因する接合不良を回避することができ [9]、多ピンの接合が可能である。チップ当たり 3 万ピンの接合は容易である。VGA (Video Graphic Array) レベルのセンサ応用に向けて、チップ当たり 32 万ピンの接続も可能であることを実証している。

- **接合温度** 図 5 に Au を材料に先鋭バンプ/平たんバンプ接合と平たんバンプ/平たんバンプ接合の接合強度を比較したものを示す。横軸は接合温度、縦軸は接合したチップのシヤ強度である。平たんバンプ同士の接合で十分な接合強度を得るには、300°C の接合温度が必要である。それに対し、バンプの一方を先鋭バンプにすることによって、150°C での接合でも十分な強度が得られることを示している。

バンプの形状を生かして、かしめ効果を発現させることができる。先鋭バンプの相手側電極に孔を開けておき、いわばプラグとソケットの関係にして接合を行う。これによって Au のみならず Cu 電極の常温接合が、通常の大気中で行える [13]。図 6 に、Cu/Cu 接合を行ったものの電極形状の模式図と実際の接合断面

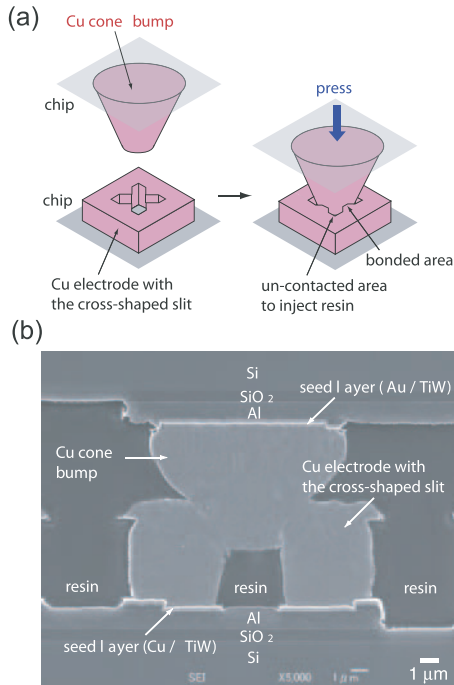


図 6 Cu/Cu の常温接合 (a) 電極構造模式図, (b) 接合断面

Fig. 6 Room temperature bonding of Cu/Cu bumps. (a) Schematic of electrode structure. (b) Cross-sectional view of joined Cu/Cu electrodes.

を示す。また、図 7 に Cu/Cu 接合の接続性能を表すデージーチェーン試験の結果を示す。先鋭バンプ先端が、対向電極に設けた孔に挿入される際に擦過するかしめ効果により、界面の汚染層が取り除かれ、常温でも Cu/Cu の接合が実現できることを示している。デージーチェーン測定の結果が示すように、チップ当たり 10,000 ピンの接続が常温で可能になっている。また、接続抵抗も十分低いといえる。なお、断面写真のみからは接合部内部に中空構造が残ってしまうように思えるが、実はそうではない。ソケットに相当する孔を、図 6(b) のようにクロススリット構造にしており、接合後も樹脂埋込が可能のようにしている。実際、図 6(a) の写真も、樹脂が埋め込まれた状態で撮影している。接続抵抗についても、1 バンプ + 1 アルミ線あたり 83 mΩ と、十分低い値が得られている。

● **TSV への適合** 三次元 LSI への応用には、TSV とのプロセスインテグレーションが可能である必要がある。ウェーハは薄化したものをプロセスすることになる。図 8 に、TSV プロセスと先鋭バンプのプ

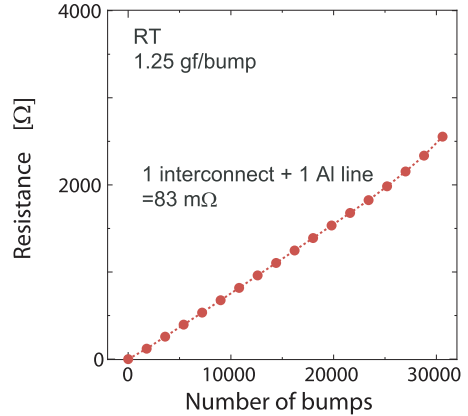


図 7 常温接合 Cu/Cu マイクロバンプ接合のデージーチェーン試験結果

Fig. 7 Result of daisy chane measurement for the room-temperature bonded Cu/Cu electrodes.

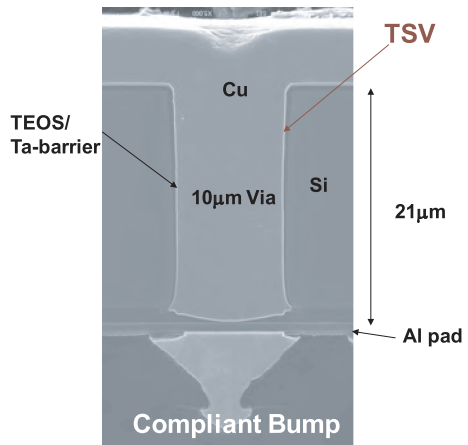


図 8 先鋭バンプと TSV のプロセスインテグレーション検証結果

Fig. 8 Process integration of cone bump with Cu TSV.

ロセス適合性を検証した結果の一例を示す。8 インチウェーハに Au 製の先鋭バンプを形成した後、ウェーハをサポート基板に貼り付け、バックグラインドとドライポリッシュで厚さ 25 ミクロンまで薄化した。その後、裏面のフォトリソグラフィを行い、貫通孔を開口し、最後に、TEOS (tetraethyl orthosilicate) を原料とする CVD (chemical vapor deposition) による絶縁膜、スパッタ法によるバリア膜、シード膜の堆積、そして電解めっきによる Cu の埋込堆積で形成したものである。支持基板には、東京応化工業製の細孔つきガラス基板を用いた。また、貫通孔の開口には、

非ボッシュプロセスを用いた。この方法で、少なくとも厚さ 15 ミクロンまで薄化したウェーハを処理できることを確認している。このようにウェーハ厚みとバンプの高さが拮抗してくると、バンプの形状が研磨面の仕上がりに反映されてしまい、研磨後の平坦度が悪化することを当初懸念したが、結果は問題がなかった。その理由として、バンプ径が小さく、かつバンプ密度が大きいため、個々のバンプの形状が反映されたいことが考えられる。

4. 応 用

4.1 裏面照射型 CMOS イメージセンサ

三次元 LSI 技術の有効な応用の一つにイメージセンサがある。我々は、開発したマイクロ接合技術とウェーハ薄化プロセス、ハンドリング技術の有効性を検証することを主たる目的に、裏面照射型 CMOS イメージセンサを試作した。

図 9 (a) に試作したセンサの断面写真を示す。上部には、厚さ約 20 ミクロンまで薄化した pn 接合フォトダイオードのアレーを配置し、下部の CMOS 読出し回路との接続を Au 先鋭マイクロバンプで実現している。CMOS 読出し回路は 0.35 ミクロンプロセスで作製したものである。上部のフォトダイオードアレーの裏面、すなわち、写真の最上面には配線層が形成されており、TSV (画像内には写っていない) によって CMOS 回路と接続されている。プロセス技術の詳細については文献 [14] を参照して頂きたい。なお、実装は概略以下のプロセスで行った。上述した支持基板を用いて、8 インチウェーハのままフォトダイオードアレーを裏面配線までを形成する。その後、この薄化したウェーハを樹脂フィルムにトランスファーする。この際の接着剤には、加熱によって剥離可能な熱可塑性接着剤を用いた。トランスファーしたウェーハを樹脂フィルムとともにダイシングしてチップに分割し、それを CMOS 読出し回路チップとバンプ接合した後、加熱して樹脂フィルムを外した。積層したチップは、通常のワイヤボンディングでパッケージに収納した。

図 9 (b) に試験ボードと画像の一例を示す。プロセス検証用途に設計したので、画素数は 128×128 にとどめている。ピクセル欠陥の発生を容認した場合の歩留りは予想を超えて良く、アSEMBルした約 30 個のセンサの全てが動作した。

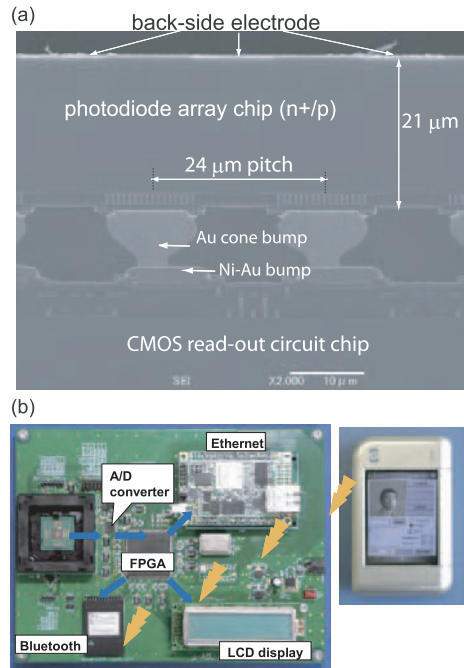


図 9 先鋭バンプによる TSV つき薄型ウェーハと CMOS の積層接続で試作した裏面照射型 CMOS イメージセンサ (a) 接合チップの断面、上部は薄型フォトダイオードアレー、下部は CMOS 読出し回路、(b) 試験ボードと映像出力例

Fig. 9 Backside illuminated CMOS image sensor fabricated using TSV and microjoining with cone bump. (a) Cross section of bonded chip. (b) Test circuit board and output example.

4.2 化合物半導体との積層—近赤外イメージセンサ—

先鋭マイクロバンプの低温接合性と多ピン接続性能は、化合物半導体とシリコン CMOS との積層にも有利であると期待できる [15]。図 10 (a) に構造模式図を示す。センサー部分は InGaAs を InP 基板上に成長させて形成したフォトダイオードである。感度ピーク波長は約 1.4 ミクロン、カットオフは約 1.9 ミクロンのものである。Au 先鋭バンプは CMOS リードアウトウェーハ側に形成した。シリコンとはほぼ同様のプロセスを適用できるが、接合時の荷重が過剰な場合には化合物半導体にクラックが発生するなど、シリコンに比べると機械的強度が弱い点に注意する必要がある。なお、このセンサの場合、裏面の配線との接続は、別途リード接続で行った。

図 10 (b) に画像の一例を示す。近赤外センサ独特の映像が得られている。なお、この映像は非冷却で撮

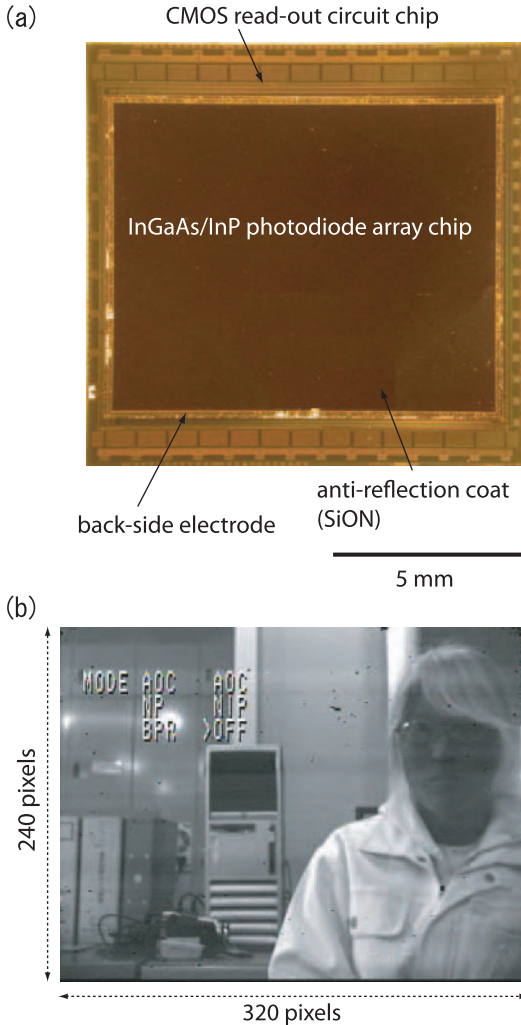


図 10 InGaAs/In フォトダイオードアレーチップと CMOS リードアウトチップの積層による近赤外イメージセンサ (a) 積層チップの写真, (b) 撮影画像例

Fig. 10 Near infrared image sensor fabricated by integrating InGaAs/InP photodiode array and CMOS readout circuit using cone bump interconnection. (a) Die photo. (b) An example of image.

像したものである。点欠陥が散在するが、接合までのパーティクル対策を施すことで改善できると見込んでいる。

4.3 有機樹脂フィルムとの接合

有機材料とシリコン CMOS との集積化は、新たな機能を創出する手段として大きな可能性を秘めている。センサアレーのような回路素子レベルでの融合が大きい

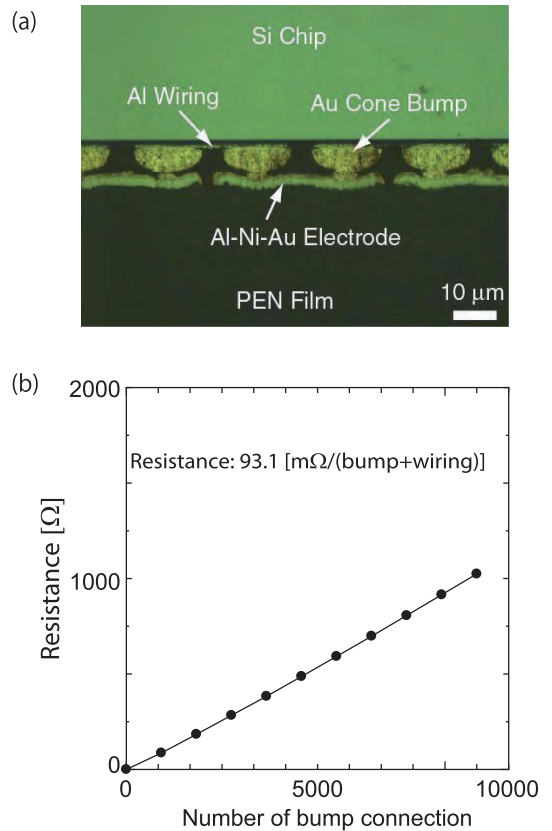


図 11 先鋭バンブによる PEN フィルム上の配線へのチップ接合 (a) 接合断面, (b) デージーチェーン測定結果

Fig. 11 Bonding of LSI chip to circuit on PEN using cone bump. (a) Cross section of bonded interface. (b) Result of daisy chain measurement.

な可能性をもつ一方で、フレキシブルエレクトロニクスのように、有機樹脂フィルム上の回路に LSI を混載させることも大きな価値が見込める。例えば、最近話題性の高いフレキシブルの有機 EL ディスプレイを想定した場合、画素駆動は有機 TFT などで行えるものの、ディスプレイの周辺回路は LSI が必要である。また、ペーパーライクなアプリケーションを想定した場合、ケーブルレスでない受容される可能性が極めて低くなり、そのためには信号の RF 伝送、無線給電を行うための LSI なども樹脂フィルム上に混載させる必要が生じる。フレキシブルディスプレイ向けの樹脂フィルムは、PEN のように透明であることが望ましいが、それらの材料は 150°C 程度で軟化が始まるため、ハンダはもちろんのこと異方性導電フィルムによる接続も利用しがたい。

このような背景のもと、我々は先鋭マイクロバンプを用いてPEN (polyethylene naphthalate) フィルム上の配線にLSIチップを接合することを試みた[16]. PENはガラス転移温度が約155°Cの有機樹脂である. 有限要素解析によれば, PENが室温での機械的な物性定数を保持する限り, PENの大きな変形はなくAu製の先鋭バンプは十分に変形する. PENフィルム上の配線は, Alをフォトリソグラフィでパターンニングした後, その表面にNiとAuを連続して無電解めっきで堆積することで形成した. 図11(a)に接合断面を同図(b)に, デージーチェーンの測定結果を示す. PEN表面がわずかに変形している様子が見えるが, 1万ピンを超える接続が達成できている. 図6で述べたかしめ効果を発現する電極構造にすると, 常温接合も可能であるという結果も得ている[17],[18]. 常温接合ができれば, ガラス転移温度約80°CのPET (polyethylene terephthalate) フィルム上の配線に接続も可能であり, 材料選択の幅は大きく広がる.

5. むすび

先鋭マイクロバンプによる積層接続は, 従来の集積化プロセスをほぼそのまま利用でき, これまでは困難であったチップ当たり10,000個以上の接続を, 確実にしかも低温で実施可能な技術を提供できる. また, ガラス転移温度が低い有機樹脂フィルム上にも多ピン接続が可能な技術を提供する. そのため, 例えばシリコンメモリLSIとロジックLSIの三次元LSI化などに加えて, 化合物半導体, MEMS 更には有機材料とCMOSとの集積化も可能にし, 異種機能の融合に大きな自由度を与え, サイバー空間向け, 実空間向けの双方のデバイスにおいて新たな価値の創造に貢献できると期待している.

謝辞 本論文で紹介した先鋭マイクロバンプ技術は, 渡辺直也博士(現, 産業技術総合研究所)と共同による成果によるところが大きい. 有限要素解析は, 東町高雄教授(崇城大学)の御協力を頂いた. イメージセンサーのプロセス技術開発では角田功博士(現, 熊本高専), 同試験システムの開発では田中康一郎教授(九州産業大学)の研究成果によるところが大きい. 近赤外イメージセンサーの研究では猪口康博博士をはじめとする住友電気工業伝送デバイス研究所の皆様にご協力を頂いた. フレキシブル材料との接合に関しては, 九州大学の修士学生首藤高德君, 及び同助教の池田晃裕博士が主に進めてくれた. 九州大学の

高尾隆之技術職員には, 実験を進めるにあたり常に支援をしていただいている. 本研究の一部は, 経済産業省地域新生コンソーシアム事業(ものづくり革新枠), 文部科学省地域イノベーションクラスタープログラム(第II期), 日本学術振興会科学研究費補助金(No. 21246061), JSTのA-Step事業の支援によるものである. ここに記してお礼申し上げます.

文 献

- [1] 安部素実, “異種間の接面に着目して(6. ざっくばらんな未来像を語る, <特別小特集> 2030年の科学技術大予想)” 信学誌, vol.92, no.1, pp.22-23, 2009.
- [2] 喜連川優, “情報爆発のこれまでとこれから,” 信学誌, vol.94, no.8, pp.662-666, Aug. 2011.
- [3] H. Morimura, S. Shigematsu, T. Shimamura, N. Sato, Y. Okazaki, K. Machida, and H. Kyuragi, “Characteristics of fingerprint sensing on capacitive fingerprint sensor LSIs with a grounded wall structure,” Jpn. J. Appl. Phys., vol.42, pp.5951-5956, 2002.
- [4] 森村浩季, 武藤伸一郎, 石井 仁, 町田克之, “集積化CMOS-MEMS技術,” 信学誌, vol.92, no.1, pp.26-30, Jan. 2009.
- [5] N. Watanabe, Y. Ootani, and T. Asano, “Pyramid bumps for fine-pitch chip-stack interconnection,” Jpn. J. Appl. Phys., vol.44, pp.2751-2755, 2005.
- [6] N. Watanabe, T. Kojima, and T. Asano, “Wafer level compliant bump for three-dimensional LSI with high-density area bump connections,” 2005 Int. Electron Devices Meeting (IEDM2005), Technical Digest, pp.687-690, 2005.
- [7] N. Watanabe and T. Asano, “A large number of I/O connections using compliant bump,” Proc. Electronic Components & Tech. Conf. (ECTC2006), pp.125-132, 2006.
- [8] N. Watanabe and T. Asano, “Characteristics of a novel compliant bump for 3-D stacking with high-density inter-chip connections,” IEEE Trans. Compon. Packag. Manuf. Technol., vol.1, pp.83-91, 2011.
- [9] N. Watanabe, S. Hasegawa, and T. Asano, “Connection test of area bump using active-matrix switches,” Jpn. J. Appl. Phys., vol.44, pp.2770-2773, 2005.
- [10] N. Tanaka, Y. Yoshimura, T. Naito, C. Miyazaki, T. Uematsu, K. Hanada, N. Toma, and T. Akazawa, “Low-cost through-hole electrode interconnection for 3D-SiP using room-temperature bonding,” Proc. Electronic Components & Tech. Conf. (ECTC2006), pp.814-819, 2006.
- [11] N. Watanabe and T. Asano, “Low-temperature high-density chip-stack interconnection using compliant bump,” Proc. Electronic Components & Tech. Conf. (ECTC2007), pp.622-626, 2007.
- [12] N. Watanabe and T. Asano, “Room-temperature bonding using mechanical caulking effect of compliant bumps for chip-stack interconnection,” Jpn. J.

- Appl. Phys., vol.49, 04DB02, 2010.
- [13] N. Watanabe and T. Asano, "Room-temperature Cu/Cu bonding in ambient air achieved by using cone bump," Appl. Phys. Express, vol.4, 016501, 2011.
- [14] N. Watanabe, I. Tsunoda, T. Takao, K. Tanaka, and T. Asano, "Fabrication of back-side illuminated complementary metal oxide semiconductor image sensor using compliant bump," Jpn. J. Appl. Phys., vol.49, 04DB01, 2010.
- [15] N. Watanabe, F. Hoashi, Y. Nagai, H. Inada, Y. Iguchi, and T. Asano, "Near-infrared image sensor fabricated using compliant bump," Ext. Abstr. 2010 Int. Conf. Solid State Devices and Materials, Tokyo, pp.210–211, 2010.
- [16] T. Shuto, N. Watanabe, A. Ikeda, T. Higashimachi, and T. Asano, "Microjoining of LSI chips on poly (ethylene naphthalate) using compliant bump," Jpn. J. Appl. Phys., vol.50, 06GM05, 2011.
- [17] T. Shuto, N. Watanabe, A. Ikeda, and T. Asano, "Room-temperature bonding of LSI chips on PEN film using mechanical caulking of Au cone bump," Ext. Abstr. 2011 Int. Conf. Solid State Devices and Materials, Nagoya, pp.787–788, 2011.
- [18] T. Shuto, N. Watanabe, A. Ikeda, and T. Asano, "Room-temperature microjoining of LSI chips on poly (ethylene naphthalate) film using mechanical caulking of Au cone bump," Jpn. J. Appl. Phys., vol.51, 04DB04, 2012.

(平成 24 年 2 月 11 日受付)



浅野 種正

1979 東工大大学院修士課程了 (電子システム専攻)。東工大助手, 九州工大助教授・教授を経て 2006 より九州大情報エレクトロニクス部門教授。その間, SOI 構造ヘテロエピタキシー, ショットキー MOSFET, 多結晶シリコン薄膜トランジスタ, ナノインプリント応用, プラズマチャージング, 三次元 LSI 技術など, 素子から実装まで幅広い観点でシリコンデバイスに関する研究に従事。2006~2008 本会シリコン材料・デバイス研究専門委員会委員長。2010~2012 応用物理学会九州支部長。