

## 遅延制御による偶数段リング構成ダイナミック $1/4N$ 分周器

野坂 秀之<sup>†a)</sup>      小杉 敏彦<sup>†</sup>      西川健二郎<sup>††</sup>      豊田 一彦<sup>††</sup>  
村田 浩一<sup>†</sup>

Dynamic  $1/4N$  Frequency Divider Using Delay-Controlled Even-Stage Buffers

Hideyuki NOSAKA<sup>†a)</sup>, Toshihiko KOSUGI<sup>†</sup>, Kenjiro NISHIKAWA<sup>††</sup>,  
Ichihiko TOYODA<sup>††</sup>, and Koichi MURATA<sup>†</sup>

あらまし 幹線系光通信回線や各種無線通信の高速化に伴って、高速・低消費電力の分周器が求められている。本論文では、 $1/4$ 、 $1/8$ 、 $1/12$  などの  $1/4N$  分周を実現する新しいダイナミック分周器を提案する。この分周器は、インバータとトランスファークエートを多段に接続する構成であるが、最終段にインバータを追加することによって、遅延的には偶数段リング構成でありながら、論理的には奇数段とすることにより分周器としての動作を可能としたものである。更に、インバータの出力に接続したシャントキャパシタによって各段の遅延時間を制御し、広い動作帯域を実現した。0.1  $\mu\text{m}$  InP HEMT を用いて試作した 30 GHz 帯  $1/8$  分周器は、5 dBm の入力に対して 2.5 GHz の動作帯域幅が得られた。また、消費電力は 60 mW と非常に低消費電力である。

キーワード ダイナミック分周器、 $1/4N$  分周、遅延制御、 $1/8$  分周器、InP HEMT

### 1. ま え が き

近年、インターネットの発達や情報通信機器の高性能化・高機能化及びこれらが取り扱うコンテンツの大容量化に伴って、通信回線に対してもより高速・広帯域な伝送が望まれている。幹線系光通信回線では既に 40 Gbit/s が実用化されており、イーサネットの世界でも 40 Gbit/s、100 Gbit/s の標準化が 2010 年には完了する予定である。無線通信の分野では MIMO 技術やミリ波を使った数百 Mbit/s から数 Gbit/s のシステムが市場に導入されようとしている。また、特に無線通信の分野では、伝送速度の高速化に伴って、周波数逼迫に対する電波の有効利用の観点からミリ波などのより高いキャリア周波数の電波が使われるようになってきた。

本論文では、このような高速通信を実現する上で必須となる周波数安定化技術の基本部品である超高速分

周器について述べる。分周器は、入力信号の分数調波を生成する回路であり、電圧制御発振器や位相比較器等と組み合わせる位相同期ループあるいは位相同期発振器を構成する部品である。分周による位相同期方式は、他の方式に比べて集積化に適しており、分周比を変えることにより発振周波数を制御することができるため、近年の通信システムでは広く用いられている。分周器を大きく分類すると、デジタル・スタティック型 [1]~[3]、デジタル・ダイナミック型 [4]~[6]、アナログ・再生型 [7]~[9]、及びアナログ・ハーモニック注入同期型 [10]~[12] に分類される。スタティック分周器はマスタ・スレーブ型 T-FF を用いたものであり、直流から動作するが、最高動作周波数は、単位ロジックゲート当りの動作遅延時間を  $t_d$  とすると  $1/2t_d$  に制限される。一方、ダイナミック分周器は、T-FF のマスタゲートのみを使うものであり、低周波領域では安定に動作しないものの、最高動作周波数はスタティック型の約 2 倍の  $1/t_d$  まで動作し、高速・高周波応用に適している。アナログ型は他の方式に比べて原理的に最も高速動作が可能となるが、一般的にその動作帯域は比較的狭く、チップサイズが大きくなってしまふ。

近年の高速通信の用途に対応するためには、分周器の高速動作が求められるのはもちろんのこと、モバイ

<sup>†</sup> 日本電信電話株式会社 NTT フォトニクス研究所, 厚木市  
NTT Photonics Laboratories, NTT Corporation, Atsugi-shi,  
243-0198 Japan

<sup>††</sup> 日本電信電話株式会社 NTT 未来ねっと研究所, 横須賀市  
NTT Network Innovation Laboratories, NTT Corporation,  
Yokosuka-shi, 239-0847 Japan

a) E-mail: nosaka@aecl.ntt.co.jp

ル機器などに適用することを考慮すると、チップサイズの小型化と低消費電力化が重要な課題となる。また、高速・高周波信号に対応するためには大きな分周比が必要になってきている。そこで本論文では、高速動作が可能で小さなチップで実現することが期待できるダイナミック分周器について、4, 8, 12, 16 などの分周比を実現する新しい構成法を提案する。

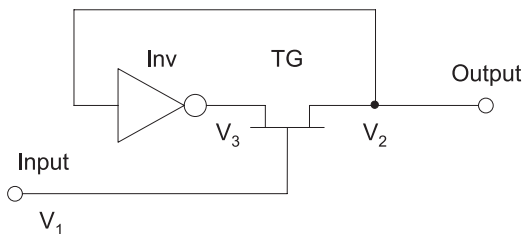
2. では、従来のダイナミック分周器の構成と動作原理を説明し、これらのもつ課題について述べる。3. では、本論文で提案する新しい分周器構成とその動作原理について説明する。4. では、本論文で提案する構成による 30 GHz 帯 1/8 分周器の設計及び 0.1 μm InP HEMT を用いて試作した結果について述べる。

## 2. ダイナミック分周器の構成と動作原理

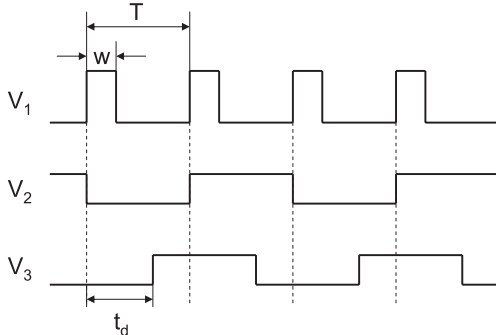
本章ではまず、インバータとトランスファークロークを用いた従来のダイナミック分周器 [4] の回路構成と動作原理について簡単に説明する。

### 2.1 基本 1/2 分周器

図 1 (a) は、最も基本となる 1/2 分周器の回路構成である。インバータ (Inv) の後段にトランスファークローク (TG) を接続し、その出力をインバータの入力にフィードバックする構成である。図 1 (b) にこの



(a) Configuration.



(b) Timing diagram.

図 1 基本 1/2 分周器の構成と動作

Fig. 1 Configuration and timing diagram of conventional dynamic 1/2 frequency divider.

1/2 分周器のタイミングチャートを示す。ここで、 $V_1$ 、 $V_2$ 、 $V_3$  はそれぞれトランスファークロークに入力される信号電圧、1/2 分周器の出力電圧及びインバータの出力電圧である。図 1 (b) に示すように、ある時刻でインバータの出力電圧  $V_3$  がローレベルのとき、トランスファークロークの制御電圧  $V_1$  がハイになるとトランスファークロークがオンとなり、1/2 分周器の出力、すなわちインバータの入力電圧  $V_2$  は反転し、ローレベルとなる。 $V_2$  がローレベルとなったことにより、インバータの動作遅延時間  $t_d$  だけ遅れて、電圧  $V_3$  がハイレベルに変化するが、このときトランスファークロークの制御電圧  $V_1$  がローレベルに戻っているため、分周器の出力電圧  $V_2$  は変化せず、ローレベルのまま維持される。そして、再びトランスファークロークの制御電圧  $V_1$  がハイになることによって分周器の出力電圧  $V_2$  はハイレベルとなる。このようにトランスファークロークの制御電圧の信号周期に対して、1/2 分周器の出力の周期は 2 倍となる。すなわち、入力であるトランスファークロークの制御電圧  $V_1$  が 1/2 分周されて出力されていることになる。

### 2.2 基本 1/2 分周器の動作条件

基本 1/2 分周器が正しく動作するためには、図 1 (b) から分かるとおり各トランスファークロークはインバータの動作遅延時間  $t_d$  内で再びオフになる必要があり、次の入力パルスがくるまでにインバータの出力が得られることが必要である。すなわち下記の条件が成り立つ必要がある。

$$w < t_d < T \quad (1)$$

ここで、 $w$  は入力信号  $V_1$  のパルス幅であり、 $T$  は周期である。そして、最も動作余裕が大きくなるのは、インバータの動作遅延時間  $t_d$  が  $w$  と  $T$  の中間にくる場合であり、次式で与えられる。

$$t_d = (w + T)/2 \quad (2)$$

基本 1/2 分周器を多段に縦続接続することによって  $2^N$  の分周比を得ることができるが、この場合には後段になるほど入力信号の周期  $T$  が大きくなる。このため、理想的な動作状態を得るためには、式 (2) の条件を満たすように各段で個別に動作遅延時間  $t_d$  を設計する必要がある。一般的には、バッファアンプを追加することにより動作遅延時間を調節するため、設計精度や PVT 変動耐性 (プロセス/電源電圧/温度の変動に対する耐性) の劣化、回路規模や消費電力の増大と

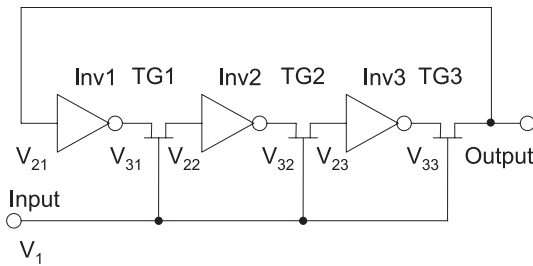
といった問題が生じる。

### 2.3 $1/(4N + 2)$ 分周器

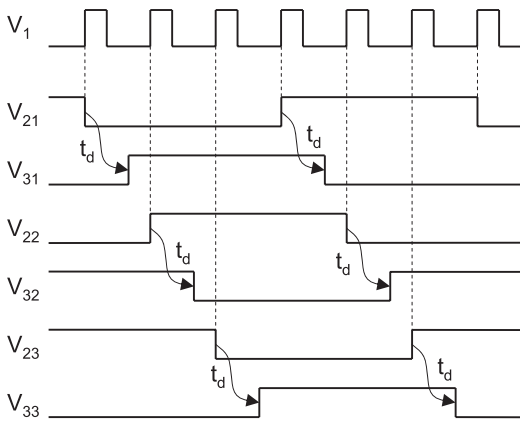
前節で示した  $1/2^N$  分周器の問題点を解決する方法として、インバータとトランスファークゲートを多段に接続した後、その出力を初段のインバータにフィードバックする構成の分周器が提案されている [13]。

図 2 (a) はこの構成による分周比 6 を実現する回路である。インバータとその出力に接続されたトランスファークゲートを一つの要素として、これを 3 段縦続接続し最終段の出力信号を初段のインバータの入力にフィードバックしている。図 2 (b) はこの  $1/6$  分周器のタイミングチャートである。ここで、 $V_1$  はトランスファークゲート TG1, TG2, TG3 に共通の制御電圧である。また、 $V_{2n}$  及び  $V_{3n}$ , ( $n = 1, 2, 3$ ) はそれぞれインバータ Inv1 ~ Inv3 の入力電圧及び出力電圧である。したがって、 $1/6$  分周器の出力電圧は  $V_{21}$  となる。

この回路においては、各インバータの入力電圧  $V_{2n}$  はインバータの動作遅延時間  $t_d$  だけ遅れてその出力  $V_{3n}$  に反転して現れる。この出力電圧  $V_{3n}$  は入力信号  $V_1$  によってトランスファークゲートがオンになると



(a) Configuration.



(b) Timing diagram.

図 2  $1/(4N + 2)$  分周器の構成と動作 (分周比 6 の場合)  
Fig. 2 Configuration and timing diagram of  $1/(4N + 2)$  frequency divider. (division ratio = 6)

に、次段のインバータの入力に順次伝達される。したがって、図 2 (a) の回路では入力信号  $V_1$  としてパルスが 3 回入力されると出力端子の電圧レベルが反転し、更にパルスが 3 回入力されることによって出力端子の電圧レベルはもとに戻る。すなわち、入力信号  $V_1$  としてパルスを 6 回入力するごとに出力パルスが 1 回出力されることになり、 $1/6$  分周器として動作する。このようにインバータとトランスファークゲートを組とした要素を多段接続することによって分周比が大きな分周器を実現することができる。ただし、段数が偶数の場合には、フィードバックされる信号が常にハイまたはローになってしまうため、分周器として動作させることができない。したがって、実現できる分周比は  $4N + 2$ 、具体的には 6, 10, 14, ... となる。

### 3. 偶数段リング構成ダイナミック $1/4N$ 分周器

2. で示したとおり、図 1 の基本  $1/2$  分周器を縦続接続することによって  $2^N$  の分周比が実現可能であり、図 2 の構成により  $4N + 2$  の分周比が実現可能である。しかしながら、分周器は光通信や無線通信装置の基本的な要素部品であり、システム・装置に応じた分周比が求められており、分周比を柔軟に設計できることが望ましい。そこで、本論文では  $4N$  の分周比を与える新しい回路構成を提案する。

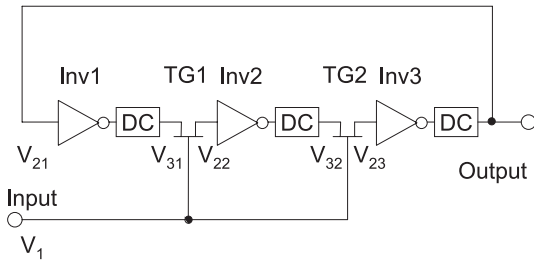
図 3 に本論文で提案する分周器の最も基本となる  $1/4$  分周器の構成とそのタイミングチャートを示す。図 2 の分周器の場合と同様に、インバータとその出力に接続したトランスファークゲートを一つの要素として 2 段接続し、その出力に更にインバータ (Inv3) を接続して極性反転した後、初段のインバータの入力にフィードバックしている。最終段にインバータを付加することによって論理的には奇数段となり発振が可能となるとともに、トランスファークゲートは偶数段のため  $4N$  の分周比、すなわち 4, 8, 12, ... の分周比を得ることができる。

ところで、この回路が分周器として動作するためには、Inv2 の動作遅延時間  $t_{d2}$  と Inv1 と Inv3 の動作遅延時間の和  $t_{d1} + t_{d3}$  がそれぞれ式 (1) の条件を満たす必要がある。したがって、新たなインバータを付加しただけでは、初段と最終段のインバータの動作遅延時間の和 (すなわち  $t_{d1} + t_{d3}$ ) が、2 段目の動作遅延時間 ( $t_{d2}$ ) の 2 倍程度になってしまい、それぞれの動作遅延時間に対して、式 (1) の分周動作の条件を

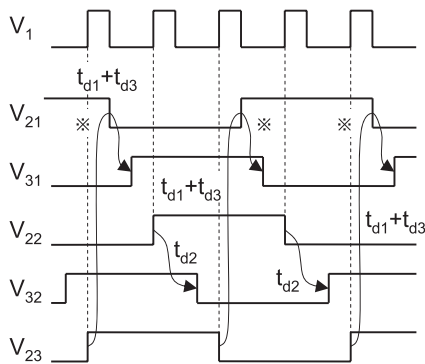
満たす周波数範囲が存在しないか、あるいは著しく狭くなってしまふ。そこで、本論文で提案する分周器では各インバータの出力に遅延制御回路 (DC) を接続し、初段と最終段のインバータの動作遅延時間の合計がその他のインバータ回路の動作遅延時間に等しくなるようにする。すなわち、図 3 に示す 1/4 分周器の場合では、 $t_{d1} + t_{d3} = t_{d2}$  となるように設計する。このように各インバータの出力に遅延制御回路を接続することによって、新たなインバータを付加した要素とその他の要素で動作遅延時間に差が生じないため、インバータとトランスファークートの組を偶数段接続した場合であっても、従来の奇数段接続するダイナミック分周器と同様に一つの分周動作の条件を満たせば分周動作が可能であり、広い動作周波数範囲を得ることができる。

遅延制御の方法としては、

- 各インバータの駆動能力 (例えばデバイスの相互コンダクタンス ( $g_m$ )) を変える方法。
- インバータ出力にシャントキャパシタを接続する



(a) Configuration.



(b) Timing diagram.

図 3 本論文で提案する 1/4N 分周器の構成と動作 (分周比 4 の場合) 論理的には 2 段分 (非反転) となり、遅延的には  $t_{d1} + t_{d3} = t_{d2}$  となるように設計する。  
Fig. 3 Configuration and timing diagram of proposed 1/4N frequency divider. (division ratio = 4) Non-inverting state with same delay ( $t_{d1} + t_{d3} = t_{d2}$ ).

る方法。

- バッファアンプを挿入する方法。
- 遅延用伝送線路を挿入する方法。

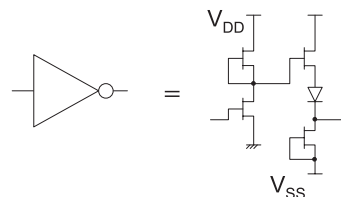
等やこれらの組合せが考えられる。これらのうちバッファアンプを挿入する方法は回路の消費電力を増大させるため、低消費電力化の妨げとなる。また、遅延用伝送線路を挿入する方法ではチップ面積の増大をもたらす。一方、シャントキャパシタを接続する方法は、IC のレイアウト設計において極板面積を決めるだけで比較的精度良く実現できるため有効である。

#### 4. 30 GHz 帯 1/8 分周器の試作結果

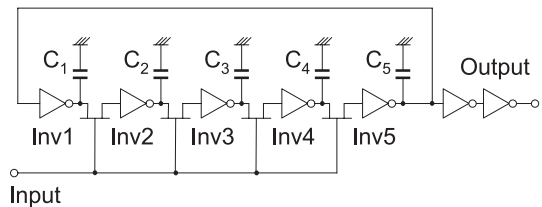
##### 4.1 設 計

本章では、本論文の提案構成による 30 GHz 帯 1/8 分周器の試作結果について示す。図 4 は試作回路の具体的な構成である。低消費電力化を図るため、単位インバータはシングルエンドの構成とした。分周器は、インバータとトランスファークートを組として 4 段接続し、その出力をインバータ (Inv5) で反転した後、初段のインバータへとフィードバックする構成としている。本構成では、インバータとトランスファークートの 4 段接続により、遅延的には 4 段相当で 1/8 分周を実現し、最終段にインバータを付加することによって論理的には奇数段として、分周器の発振を可能としている。分周器の出力に付加した 2 段のインバータは波形整形のためのものである。

遅延制御回路としては、各インバータの出力にシャントキャパシタを接続する構成とした。インバータ



(a) Circuit diagram of single inverter.



(b) Block diagram.

図 4 試作した 1/8 分周器の構成  
Fig. 4 Configuration of prototype 1/8 frequency divider.

出力にシャントキャパシタを接続する場合には、インバータの動作遅延時間  $t_d$  は、インバータの駆動能力とその出力に接続したシャントキャパシタの容量の比で決定され、次式が成り立つ。

$$t_d \simeq \tilde{t}_d + k \frac{C}{g_m} \quad (3)$$

ここで、 $\tilde{t}_d$  はインバータに固有の動作遅延時間、 $g_m$  はインバータ回路に使用される FET の相互コンダクタンス、 $C$  はインバータ回路の出力に接続したシャントキャパシタの容量であり、 $k$  は定数である。

入力信号が 30 GHz の正弦波の場合には、信号の周期は  $T = 33$  ps であり、パルス幅  $w$  は入力信号のバイアス電圧で決定されるので、式 (2) を満たすように各段の動作遅延時間を  $t_{d2} = t_{d3} = t_{d4} = t_{d1} + t_{d5}$  となるように設計する。ここで、 $t_{d1} \sim t_{d5}$  はそれぞれ、遅延制御回路の遅延時間を含めた Inv1 ~ Inv5 の動作遅延時間である。キャパシタは IC レイアウト上で極板の面積を決めることにより比較的精度良くその容量値を設計できるため、インバータをすべて同じ構成、すなわち、各段の  $g_m$  は一定として  $C_1 \sim C_5$  を設計することとした。

$C_2 \sim C_4$  は、式 (3) で与えられる  $t_{d2} \sim t_{d4}$  が式 (2) の条件を満たすように設計すると一意に決めることができるが、 $t_{d1} + t_{d5}$  が式 (2) の条件を満たすように設計するときには次式のとおり  $C_1$  と  $C_5$  の選び方に自由度がある。

$$2\tilde{t}_d + k \frac{C_1 + C_5}{g_m} = \frac{w + T}{2} \quad (4)$$

図 5 は、 $C_1$  と  $C_5$  をパラメータとしてシミュレーションした場合の Inv5 の出力端における信号波形である。実線は  $C_5 = 0$  の場合、破線は  $C_1 = C_5$  の場合、一点鎖線は  $C_1 = 0$  の場合である。図 5 から分かれるとおり、 $C_5 = 0$  の場合に波形が最も方形波に近い特性になっている。これは、シャントキャパシタを付加することによって波形を鈍らせ、その時定数に応じて遅延を調整しているわけであるが、 $C_5$  の値が大きいほど波形の立ち上がりが遅くなるためである。本回路構成においては、出力端子に波形整形用のインバータを付加しているが、完全には整形できないため Inv5 出力端における波形のなまりが小さいほど良好な出力波形が得られる。したがって、 $C_1$  と  $C_5$  の選び方としては、 $C_5$  をなるべく小さくすることが望ましい。

最終的には、低消費電力化のためにすべての FET を

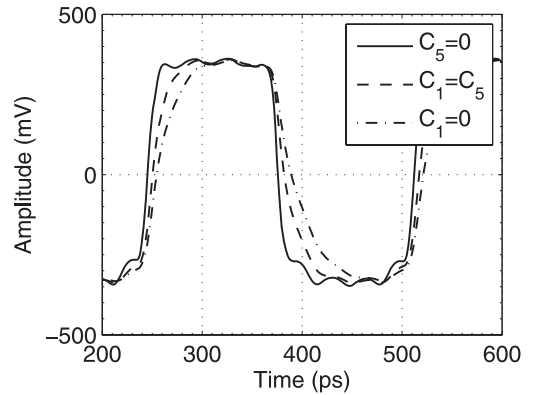


図 5  $C_1$  と  $C_5$  をパラメータとした Inv5 出力端における信号波形のシミュレーション結果

Fig. 5 Simulated output waveforms of Inv5 with parameters  $C_1$  and  $C_5$ .

製造プロセスで許容されている最小ゲート幅 ( $6 \mu\text{m}$ ) の FET とし、 $C_1 = 80$  fF、 $C_2 = C_3 = C_4 = 100$  fF、 $C_5 = 0$  とした。

#### 4.2 測定結果

試作に用いたプロセスは、 $0.1 \mu\text{m}$  の InP HEMT プロセスである [14]。トランジスタの性能向上をねらってゲート長を短くすればするほどゲートリセスの精度が要求されるようになる。本プロセスでは、InP のリセスエッチストップとウェットエッチングにより高精度な制御を実現している。試作回路と同じウェーハ内に設けたプロセスモニタ用 FET (ゲート幅 =  $10 \mu\text{m}$ ) の相互コンダクタンス ( $g_m$ ) は  $1.19$  S/mm ( $\sigma = 0.01$  S/mm) であり、ゲート幅が  $40 \mu\text{m}$  の FET で測定した電流遮断周波数 ( $f_T$ ) と最大発振周波数 ( $f_{max}$ ) はそれぞれ  $183$  GHz ( $\sigma = 3$  GHz) 及び  $402$  GHz ( $\sigma = 29$  GHz) であった。ここに示した値はそれぞれ 42 サンプルのウェーハ内平均値である。

図 6 は試作した 1/8 分周器のチップ写真である。パッド部を含めたチップサイズは  $840 \mu\text{m} \times 580 \mu\text{m}$  であるが、破線で囲んだ回路の主要部分の大きさは  $200 \mu\text{m} \times 200 \mu\text{m}$  と非常に小型である。図 7 に  $50 \Omega$  負荷に対する分周出力の波形を示す。入力信号は 30 GHz の正弦波であり、入力電力は 0 dBm とした。分周出力の周期は 267 ps であり、30 GHz の信号を 1/8 分周した出力が得られていることが確認できる。出力振幅は  $50 \Omega$  負荷に対して約  $150$  mV<sub>pp</sub> であるが、回路内の電圧振幅は図 5 に示したとおり約  $700$  mV<sub>pp</sub> となるよう設計している。図 8 は出力のスペクトルである。1/8 分周した 3.75 GHz の出力電力は  $-9.33$  dBm と分周器

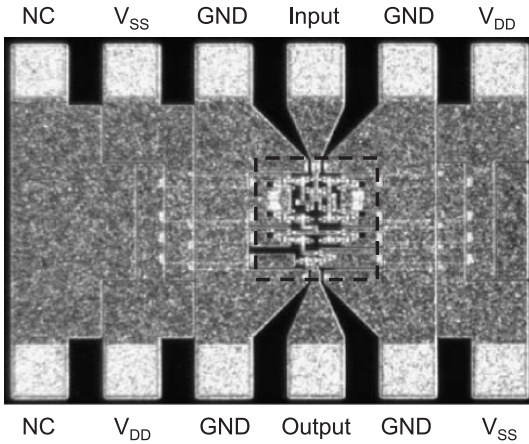


図 6 試作した 30 GHz 帯 1/8 分周器のチップ写真 (チップサイズ:  $840 \times 580 \mu\text{m}$ , 主要部分:  $200 \times 200 \mu\text{m}$ )  
 Fig. 6 Microphotograph of the fabricated 30 GHz 1/8 frequency divider. (Chip size:  $840 \times 580 \mu\text{m}$ , Intrinsic area:  $200 \times 200 \mu\text{m}$ )

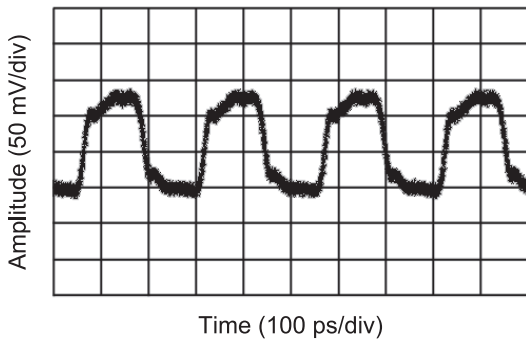


図 7 出力波形の測定値  
 Fig. 7 Measured output waveform of the fabricated 1/8 frequency divider.

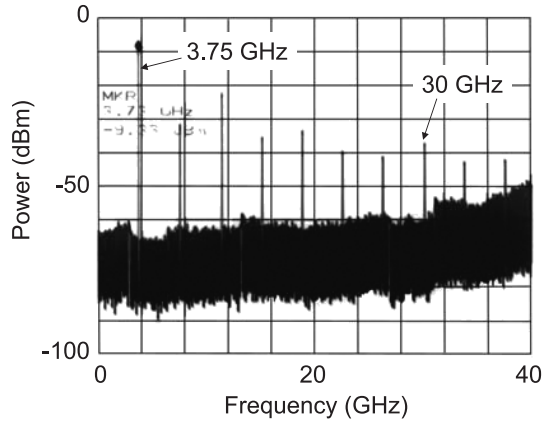


図 8 出力スペクトルの測定値  
 Fig. 8 Measured spectrum of the fabricated 1/8 frequency divider.

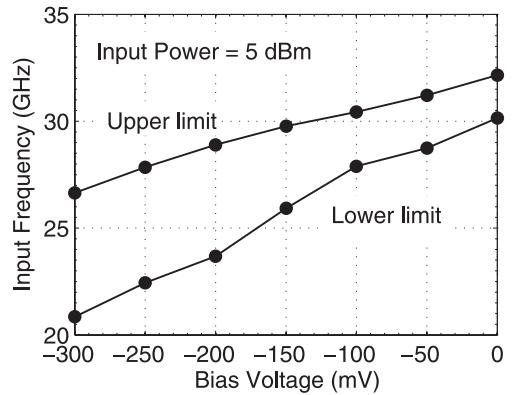


図 9 試作した 1/8 分周器の動作範囲  
 Fig. 9 Operation range of the fabricated 1/8 frequency divider.

として十分な出力が得られている．図 9 は入力信号のバイアス電圧に対する分周動作の上限周波数及び下限周波数を示している．ここで，バイアス電圧は入力正弦波の DC オフセット電圧である．各トランスファゲートは，入力信号の電圧があるしきい値よりも高い場合にオン，低い場合にオフとなるが，このバイアス電圧を下げることは，しきい値電圧よりも電圧が低い時間割合が増加することとなり，図 1 に示したパルス幅  $w$  を小さくすることに相当する．入力信号のバイアス電圧  $-50 \text{ mV}$ ，入力電力  $5 \text{ dBm}$  において  $30 \text{ GHz}$  で動作しており，このとき， $2.5 \text{ GHz}$  の動作帯域幅が得られた．電源電圧は  $V_{DD} = +1.5 \text{ V}$ ， $V_{SS} = -1 \text{ V}$  であり，波形整形用の出力バッファを含めたチップ全体の消費電力は  $60 \text{ mW}$  であった．また，図 10 は入力

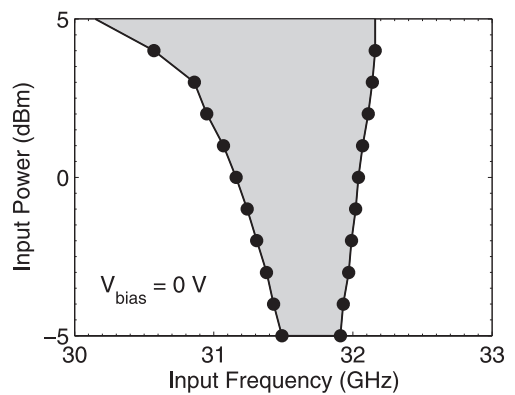


図 10 入力感度  
 Fig. 10 Sensitivity curve versus input frequency for the fabricated 1/8 frequency divider.

表 1 化合物半導体デジタル型分周器の比較  
Table 1 Frequency divider comparison. (Compound semiconductor digital ICs)

	Frequency (GHz)	Division ratio	Device	Type	Power Consumption (mW)
[15]	90	8	InP HBT	Dynamic+Static	1400
[16]	80	4	InP HBT	Static	1080
[17]	48	4	GaAs HEMT	Dynamic	350
[17]	35	4	GaAs HEMT	Static	350
[6]	150	2	InP HBT	Dynamic	357*
[5]	63.5	2	InP HEMT	Dynamic	818
[18]	61.2	2	InP HBT	Static	27.1*
[17]	48	2	GaAs HEMT	Dynamic	250
[19]	40	2	GaAs HBT	Static	900
[17]	35	2	GaAs HEMT	Static	250
[20]	34	2	GaAs HEMT	Dynamic	250*
[21]	20	2	InP RTD/HBT	Static	51*
This Work	30	8	InP HEMT	Dynamic	60

\*: without output buffers

電力と動作帯域幅の関係、すなわち入力感度を示している。入力信号のバイアス電圧  $V_{bias} = 0\text{ V}$  の場合は、31.7 GHz 付近が最も高感度であった。

表 1 は本論文で提案する分周器と近年報告されている代表的な化合物半導体デジタル型分周器を比較したものである。本分周器は 1/8 分周器であるが、他の 1/2 分周器や低周波帯の分周器と比べても非常に低消費電力であることが分かる。これは、InP デバイスが低電圧で動作可能であることと、各インバータをシングルエンド構成にすることによって消費電力の低減を図ったためである。近年は、CMOS デバイスの微細化に伴って、CMOS でもミリ波帯の各種回路が実現できるようになってきた。本論文で提案する構成は CMOS 回路に対しても適用可能であり、これによって更に低消費電力な 1/4N 分周器を実現することができる。

## 5. む す び

本論文では、4, 8, 16 などの 4N の分周比を実現する新しいダイナミック分周器を提案した。本分周器は、フィードバックループ内にインバータを追加し、論理的には奇数段、遅延的には偶数段として 1/4N 分周を実現するとともに、各段の遅延制御によって動作帯域幅の広い分周器を実現した。InP HEMT により試作を行い、30 GHz 帯の 1/8 分周器が 60 mW の低消費電力で実現できることを確認した。

謝辞 日ごろ御指導頂く、NTT フォトニクス研究所の榎木部長並びに NTT 未来ねっと研究所の岡田部長に深謝致します。

## 文 献

- [1] J.F. Jensen, L.G. Salmon, D.S. Deakin, and M.J. Delaney, "Ultrahigh-speed GaAs static frequency dividers," 1986 IEEE IEDM Tech. Dig., vol.32, pp.476-479, 1986.
- [2] K. Osafune, T. Enoki, K. Yamasaki, and K. Ohwada, "GaAs ultra high frequency divider with advanced SAINT FETs," 1986 IEEE Microwave & Millimeter-Wave Monolithic Circ. Symp. Dig., vol.86, pp.81-85, June 1986.
- [3] K.C. Wang, M. Asbeck, M.F. Chang, G.J. Sullivan, and D.L. Miller, "A 20-GHz frequency divider implemented with heterojunction bipolar transistors," IEEE Electron. Device Lett., vol.EDL-8, no.9, pp.383-385, Sept. 1987.
- [4] M. Rocchi and B. Gabillard, "GaAs digital dynamic IC's for applications up to 10 GHz," IEEE J. Solid-State Circuits, vol.SC-18, no.3, pp.369-376, June 1983.
- [5] Y. Umeda, K. Osafune, T. Enoki, H. Yokoyama, Y. Ishii, and Y. Imamura, "Over-60-GHz design technology for an SCFL dynamic frequency divider using InP-based HEMT's," IEEE Trans. Microw. Theory Tech., vol.46, no.9, pp.1209-1214, Sept. 1998.
- [6] S. Tsunashima, K. Murata, M. Ida, K. Kurishima, T. Kosugi, T. Enoki, and H. Sugahara, "A 150-GHz dynamic frequency divider using InP/InGaAs DHBTs," 2003 IEEE GaAs IC Symp. Tech. Dig., pp.284-287, Nov. 2003.
- [7] R.L. Miller, "Fractional-frequency generators utilizing regenerative modulation," Proc. IRE, vol.27, no.7, pp.446-457, July 1939.
- [8] T. Ohira, K. Araki, T. Tanaka, and H. Kato, "14 GHz band GaAs monolithic analogue frequency divider," Electron. Lett., vol.21, no.22, pp.1057-1058, Oct. 1985.
- [9] K. Honjo and M. Madhian, "Novel design ap-

proach for X-Band GaAs monolithic analog 1/4 frequency divider," IEEE Trans. Microw. Theory Tech., vol.MTT-34, no.4, pp.436-441, April 1986.

[10] C.J. Madden, D.R. Snook, R.L. Van Tuyl, M.V. Le, and L.D. Nguyen, "A novel 75 GHz InP HEMT dynamic divider," 1996 IEEE GaAs IC Symp. Tech. Dig., pp.137-140, Nov. 1996.

[11] X. Zhang and I. Gresham, "An analogue frequency-division approach for subharmonic generation in microwave VCOs," 1998 IEEE MTT-S Int. Microw. Symp. Dig., TH3E-4, pp.1581-1584, June 1998.

[12] J. Jeong and Y. Kwon, "V-band high-order harmonic injection-locked frequency-divider MMICs with wide bandwidth and low-power dissipation," IEEE Trans. Microw. Theory Tech., vol.53, no.6, pp.1891-1898, June 2005.

[13] 大平 孝, "高次ダイナミック分周型 12GHz ÷ 6 ブリステラ MMIC," 1989 信学春季全大, C-709, March 1989.

[14] T. Enoki, H. Ito, K. Ikuta, and Y. Ishii, "0.1- $\mu$ m InAlAs/InGaAs HEMTs with an InP-recess-etch stopper grown by MOCVD," 1995 IEEE IPRM Tech. Dig., pp.81-84, May 1995.

[15] S. Tsunashima, H. Nakajima, E. Sano, M. Ida, K. Kurishima, N. Watanabe, T. Enoki, and H. Sugahara, "90-GHz operation of a novel dynamic frequency divider using InP/InGaAs HBTs," 2002 IEEE IPRM Tech. Dig., pp.43-46, May 2002.

[16] H. Nakajima, E. Sano, M. Ida, and S. Yamahata, "80 GHz 4 : 1 frequency divider IC using non-self-aligned InP/InGaAs heterostructure bipolar transistors," Electron. Lett., vol.36, no.1, pp.34-35, Jan. 2000.

[17] Z. Lao, W. Bronner, A. Thiede, M. Schlechtweg, A. Hülsmann, M. Rieger-Morzer, G. Kaufel, B. Raynor, and M. Sedler, "35-GHz static and 48-GHz dynamic frequency divider IC's using 0.2  $\mu$ m AlGaAs/GaAs-HEMT's," IEEE J. Solid-State Circuits, vol.32, no.10, pp.1556-1562, Oct. 1997.

[18] Z. Griffith, N. Parthasarathy, and M.J.W. Rodwell, "An ultra low-power ( $\leq 13.6$  mW/latch) static frequency divider in an InP/InGaAs DHBT technology," 2006 IEEE Int. Microwave Symp. Dig., pp.506-509, June 2006.

[19] Y. Amamiya, T. Niwa, N. Nagano, M. Mamada, Y. Suzuki, and H. Shimawaki, "40-GHz frequency dividers with reduced power dissipation fabricated using high-speed small-emitter-area AlGaAs/InGaAs HBTs," 1998 IEEE GaAs IC Symp. Tech. Dig., pp.121-124, Nov. 1998.

[20] A. Thiede, M. Berroth, U. Nowotny, J. Seibel, R. Bosch, K. Köhler, B. Raynor, and J. Schneider, "An 18-34-GHz dynamic frequency divider based on 0.2- $\mu$ m AlGaAs/GaAs/AlGaAs quantum-well transistors," IEEE J. Solid-State Circuits, vol.28, no.11,

pp.1167-1169, Nov. 1993.

[21] T. Kim, Y. Jeong, and K. Yang, "Low-power static frequency divider using an InP-based monolithic RTD/HBT technology," Electron. Lett., vol.42, no.1, pp.27-28, Jan. 2006.

(平成 21 年 2 月 20 日受付, 6 月 5 日再受付)



野坂 秀之 (正員)

平 5 慶大・理工・物理卒。平 7 同大学院修士課程了。同年, 日本電信電話(株)入社。周波数シンセサイザ, クロック再生回路, アナログ・デジタル混載 IC の研究開発に従事。現在, NTT フォトニクス研究所主任研究員。工博。平 13 本会学術奨励賞, 平 14 日本工業新聞社先端技術大賞企業・産学部門審査員特別賞受賞。IEEE 会員。



小杉 敏彦 (正員)

昭 63 阪大・基礎工・電気卒。平 5 同大学院博士課程了。工博。同年, 日本電信電話株式会社入社。CMOS/SIMOX デバイスプロセスの研究に従事。現在, NTT フォトニクス研究所主任研究員として化合物半導体によるマイクロ波・ミリ波帯 MMIC の開発に従事。2004 SSDM 論文賞, 2004 YRP Award, 平 19 本会業績賞, 平 20 通信協会前島賞受賞。IEEE 会員。



西川健二郎 (正員: シニア会員)

平元阪大・工・溶接卒。平 3 同大学院博士前期課程了。同年, 日本電信電話(株)入社。3 次元 MMIC, ミリ波 MMIC, ミリ波高集積モジュールの研究開発に従事。現在, NTT 未来ねっと研究所主任研究員。工博。平 17~19 EC 英文誌編集委員, 平 19 より ELEX 編集幹事。平 7 本会学術奨励賞受賞。IEEE 会員。





豊田 一彦 (正員:シニア会員)

昭 60 阪大・工・通信卒．平 2 同大大学院博士後期課程了．工博．同年，日本電信電話（株）入社．平 2～13 NTT 研究所及び NTT エレクトロニクス（株）にて，3 次元 MMIC の研究及び事業化に従事．平 13 より NTT 研究所にて，ミリ波ワイヤレスシステムの研究開発及び標準化に従事．現在，NTT 未来ねっと研究所主任研究員．平 16～19 新潟大学大学院客員助教授，平 19 より東京電機大学非常勤講師．本会マイクロ波研究専門委員会幹事，本会東京支部評議員，ミリ波実用化コンソーシアム Vice Chair 等を歴任．著書「OFDM/OFDMA 教科書」（共著）．平 5 本会学術奨励賞，Japan Microwave Prize (APMC'94)，平 15 電気通信普及財団テレコムシステム技術賞，平 18 本会エレクトロニクスソサイエティ賞受賞．IEEE 会員．



村田 浩一 (正員:シニア会員)

昭 62 名大・工・機械卒．平元同大大学院博士前期課程了．同年，日本電信電話（株）入社．化合物半導体を用いた光通信用高周波アナログ，高速デジタル IC の研究開発に従事．現在，NTT フォトニクス研究所主幹研究員グループリーダー．工博．本会電子デバイス研究専門委員会幹事．平 19 光産業技術振興協会櫻井健二郎氏記念賞受賞．IEEE 会員．