

TMR ロジックに基づくルックアップテーブル回路と その瞬時復帰可能 FPGA への応用

鈴木 大輔^{†a)} 夏井 雅典^{†b)} 羽生 貴弘^{†c)}

Design of a Lookup Table Circuit Based on TMR Logic and Its Application
to an Immediate Wake-Upable FPGA

Daisuke SUZUKI^{†a)}, Masanori NATSUI^{†b)}, and Takahiro HANYU^{†c)}

あらまし 高機能性・低消費電力性を達成する回路技術として、筆者らは tunneling magneto-resistive (TMR) 素子と MOS トランジスタを組み合わせた回路技術 (TMR ロジック) を考案してきた。本論文では、TMR ロジック活用の典型例として field-programmable gate array (FPGA) の lookup table (LUT) 回路に対し、その高性能化手法を提案する。まず、LUT 回路を TMR ロジックに基づき構成することで回路情報が不揮発性記憶素子に内蔵されるため、外部不揮発性メモリを必要とせず、データ復帰に伴う電力消費及び遅延を大幅に低減でき、かつ電源をオフにすることで静的電力の完全遮断を可能とする。また従来 TMR ロジックに基づく回路構成では、MOS トランジスタと TMR 素子による論理回路網を正論理と負論理で実現し、それらの出力を差動対回路で判定して演算を実現していたが、提案回路では差動対の片側にある適切なしきい電流値に固定することで、回路全体のコンパクト化が達成できることを示す。最後に、具体的な演算回路を本提案手法で構成し、その有用性を定量的に評価した結果を示す。

キーワード FPGA, Lookup table, 漏れ電流, TMR 素子, DyCML

1. ま え が き

Field-programmable gate array (FPGA) はユーザが所望の論理演算機能を直接プログラムすることができるデバイスとして知られており、特定用途向け集積回路 (ASIC: application-specific integrated circuit) のプロトタイプ設計において有用であるほか、低い NRE (non-recurring engineering) コストや市場要求への迅速な対応、高い処理能力などの特徴を有するハードウェアとして活用されている [1], [2]。

これまで FPGA は微細化の進展に伴い高集積化を達成してきたが、主に static RAM (SRAM) に回路情報を記憶する従来の FPGA においては記憶データ保持のために常時通電しておかなければならず、更な

る高集積化に向けては待機電力の削減が重要な課題となっている [3], [4]。

待機電力の増大は主に、ゲートから絶縁膜を介して反転層に流れるゲート漏れ電流、及びトランジスタのしきい値以下でドレーン-ソース間に流れるサブスレッショルド漏れ電流に起因しており、今後の微細化の進展に伴いこれらは指数関数的に増加する傾向にある [5], [6]。このような待機電力の増大に対し、デバイスレベルでの解決策 [7] ~ [9]、システムレベルでの解決策 [10], [11] などの対策が講じられている。

一方、従来の CMOS 回路技術のみを前提とするのではなく、様々な機能デバイスを組み合わせることで待機電力問題の解決を図る一手法として、筆者らは不揮発性記憶素子と MOS トランジスタを組み合わせ、回路情報を退避/復帰させることなく電源電圧をカットオフ/オンできる (すなわちデータ非退避) 機能を有する回路構成法を不揮発性ロジックと呼び、考案してきた。

本論文では不揮発性ロジックの一つとして、magneto-resistive RAM (MRAM) の記憶素子として

[†] 東北大学電気通信研究所, 仙台市

Research Institute of Electrical Communication, Tohoku University, 2-1-1 Katahira, Aoba-ku, Sendai-shi, 980-8577 Japan

a) E-mail: show-you@ngc.riec.tohoku.ac.jp

b) E-mail: natsui@ngc.riec.tohoku.ac.jp

c) E-mail: hanyu@ngc.riec.tohoku.ac.jp

用いられる tunneling magneto-resistive (TMR) 素子を用いた“TMR ロジック” [12] を活用する。TMR 素子は高い書換え耐性を有し、スピン注入磁化反転により低電力、かつほぼ無限に書換え可能である [13]。

従来の TMR ロジックを活用して LUT 回路を構成する場合、回路構成は差動対型となり、任意の論理関数を実現するために TMR/トランジスタネットワークなる回路網が 2 個必要となる。更にその回路構成が 2 進木構造となるため、実用レベルである 4 入力以上の LUT では素子数の増加が著しい。これに対し、提案方式では片側の電流値を TMR/トランジスタネットワークに流れ得る電流値の中間値をもつ参照電流として設定することで比較演算を実現するとともに、回路網の片側を簡略化することで素子数の削減を図る。

本論文では、提案 LUT 回路の有用性を示すための応用例として 4 ビット逐次けた上げ加算器 (RCA : Ripple-carry adder) の構成及び、HSPICE シミュレーションによる性能評価を行い、同等機能の SRAM ベース LUT 並びに差動型 TMR ロジックベース LUT 実現と比較して、高性能化が図れることを示す。

2. TMR ロジックベース LUT の構成

2.1 全体構成

FPGA は図 1 (a) に示すように、logic element (LE) と switch matrix により構成され、switch matrix によって LE 間の接続情報をプログラムすることで論理演算を実現する。LE は任意の論理演算を実現する LUT と順序動作を実現するための flip flop (FF)、そして LUT または FF の値のいずれかを出力として選択する 2-to-1 multiplexer (MUX) で構成される。LUT

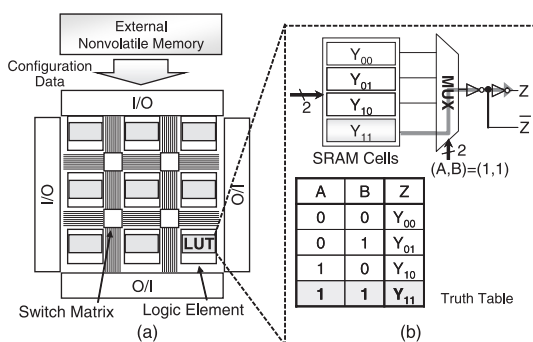


図 1 FPGA の基本構成 (a) 全体構成 (b) Lookup Table (LUT) の構成

Fig. 1 Basic structure of FPGA. (a) Overall structure. (b) Structure of lookup table (LUT).

は SRAM と MUX で構成され、SRAM の記憶状態を書き換えることで任意の多入力論理関数を実現可能となる。例えば図 1 (b) に示すような 2 入力 LUT においては 4 個の SRAM と 4-to-1 MUX で構成され、4 種類の SRAM セルの中から、入力 (A, B) に対応した SRAM セルの出力が選択される。ここで、SRAM は揮発性メモリのため、電源をオフにするためには外部に回路情報を保持した不揮発性メモリを接続し、電源投入時にはその回路情報を SRAM に書き戻す必要がある。

このような外部不揮発性メモリを削減するため、図 2 (a) のような不揮発性 SRAM が提案されている [14], [15]。この方式では、通常の SRAM に TMR 素子及び制御回路を付加し、SRAM の記憶情報を TMR 素子にも保持させることで不揮発性記憶機能を実現している。

それに対し、図 2 (b) に示す TMR ロジックベース LUT においては、不揮発性記憶機能に加え、MUX の機能を同一回路に一体化することが可能となる [16]。以下に TMR ロジックベース LUT の具体的な構成法について述べる。

2.2 TMR 素子

図 3 (a) に示すように TMR 素子は、外部印加磁界によってスピン方向 (磁化方向) が変化する自由層、極めて薄い絶縁体層、外部印加磁界に依存せずスピン方向が一定である固定層から構成されており、二つの強磁性層がバリア層を挟み込む三層構造を有する。固定層には強磁性層のスピン方向を固定するために反強磁性層がある。TMR 素子において自由層と固定層の

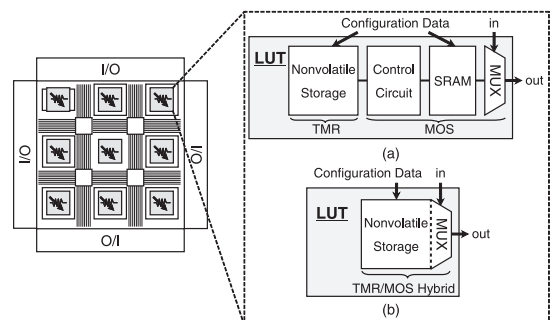


図 2 TMR 素子を用いた不揮発性 FPGA の全体構成 (a) 不揮発性 SRAM (b) TMR ロジック

Fig. 2 Overall structure of nonvolatile FPGA using TMR device. (a) Nonvolatile SRAM. (b) TMR-logic.

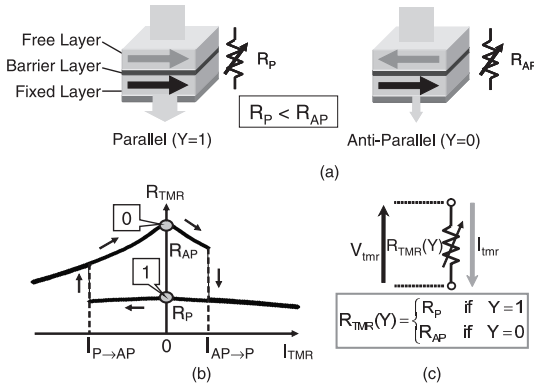


図 3 TMR 素子 (a) 断面図 (b) R-I 特性 (c) シンボル図
Fig.3 TMR device. (a) Cross-sectional view. (b) R-I characteristic. (c) Symbol.

スピンの方向が互いに反平行の場合 (AP : anti-parallel), 絶縁層をトンネルする電流が減少し, 抵抗値が大きくなる. 対して自由層と固定層のスピンの方向が平行 (P : parallel) である場合トンネル電流は増大し, 抵抗値は小さくなる. スピンの方向が AP の場合の抵抗値を R_{AP} とし, P の抵抗値を R_P とすると MR 比 (magneto-resistive ratio) は式 (1) で定義される.

$$MRR = \frac{R_{AP} - R_P}{R_P} \times 100 [\%] \quad (1)$$

図 3 (b) に TMR 素子の R-I 特性を示す. AP 状態にある TMR 素子にある一定の電流 $I_{AP \rightarrow P}$ が印加されると磁化反転が生じ, P 状態に遷移する. 同様に P 状態において, $I_{AP \rightarrow P}$ とは逆向きの電流 $I_{P \rightarrow AP}$ が印加されると, 素子の状態は AP となる. すなわち TMR 素子はヒステリシス特性を有し, その状態は電圧無印加状態でも保持される.

TMR 素子の書込みには二つの手法があり, 一つは TMR 素子に直接磁界を印加することで磁化方向を切り換える磁界書込み, もう一つがスピン注入磁化反転現象に着目した書込み手法であり, TMR 素子に電流を流すことで自由層のスピンの方向を切り換える. スピン注入書込みは磁界書込みと比較して低消費電力書込みが可能であり, また書換えエラーが低減できるといった特長を有しており, その書込み電力は TMR 素子のサイズとともに減少する.

ここで, P 状態すなわち抵抗値が小さい場合を論理値の "1", AP 状態すなわち抵抗値が大きい場合を論理値の "0" と定義することで, TMR 素子は記憶データを抵抗値として保持する不揮発性記憶素子とみなす

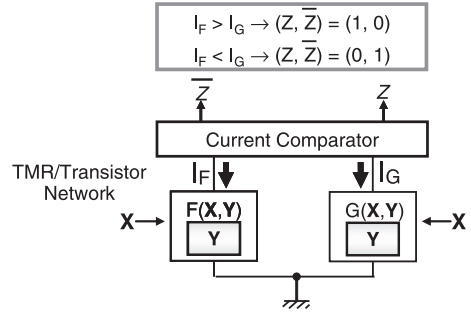


図 4 差動型 TMR ロジック回路モデル
Fig.4 Circuit model of differential-mode TMR-logic.

ことができる. 図 3 (c) に TMR 素子のシンボル図を示す.

2.3 TMR ロジックベース LUT の構成

2.3.1 差動型 TMR ロジックベース LUT

以下に TMR ロジックの概要について述べる. 図 4 に示す TMR ロジック回路モデルは, 外部入力ベクトル X と, 記憶入力ベクトル Y を有し, X と Y との演算結果を相補出力 (Z, \bar{Z}) として出力する.

TMR ロジック回路の演算機能は, nMOS トランジスタと TMR 素子の直並列接続による TMR/トランジスタネットワークで構成する. 今, TMR/トランジスタネットワークの合成抵抗を $F(X, Y)$ とし, 相補出力を生成する TMR/トランジスタネットワークの合成抵抗を $G(X, Y)$ とすると, (X, Y) の値に応じて $F(X, Y), G(X, Y)$ の合成抵抗は変化し, それぞれのネットワークに流れる電流 I_F と I_G に差が生じる, これらと比較, その判定結果を 2 値電圧に変換することで相補出力 (Z, \bar{Z}) を得る.

TMR/トランジスタネットワークが直接グラウンドに接続された場合, 定常電流パスによって消費電力が増大する. そこで dynamic current-mode logic (DyCML) [17] を活用する. 図 5 に DyCML の動作原理を示す. クロック信号 CLK が Low のとき, 出力端容量 C_1, C_2 がともに高電位に設定されると同時に, 容量 C_L の電荷がグラウンドに放電される. 次に CLK が High のとき, 下部はグラウンドから切り離され, 上部は出力を増幅する cross-coupled keeper として働く. ダイナミックロジックの活用により, 高速電流比較機能を実現しながら貫通電流パスをなくすることができるため, 動的消費電力を大幅に低減することが可能となる.

図 6 に 2 入力差動型 TMR ロジックベース LUT の

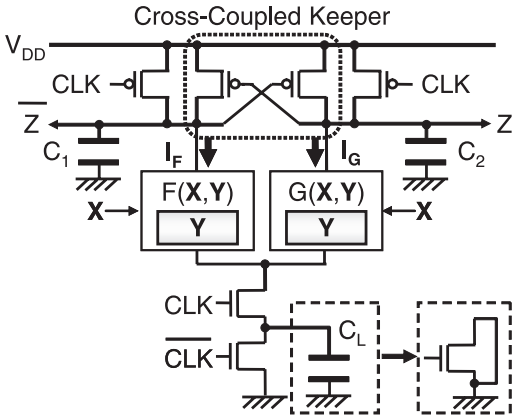


図5 DyCMLを用いたTMRロジック回路
Fig.5 TMR-logic circuit using DyCML.

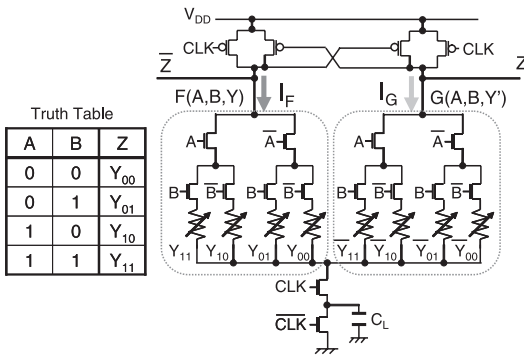


図6 2入力差動型TMRロジックベースLUT
Fig.6 2-input LUT based on TMR-logic.

例を示す．二つのTMR/トランジスタネットワーク内のTMR素子には相補的に回路情報，すなわち入力(A, B)に対応した真理値表の値を記憶する．nMOSトランジスタはMUXトリーとして機能し，入力(A, B)に対応したTMR素子に電流が流れるよう電流パスを決定する．今，選択したTMR素子の状態がAP, PのときTMR/トランジスタネットワークに流れる電流をそれぞれ I_{AP} , I_P とすると，二つの回路網に記憶される回路情報が相補的であるため，常に一定の電流差 $I_P - I_{AP}$ を得る．

ここでLUTの入力数を n とすると，一つのTMR/トランジスタネットワークを構成するのに必要なTMR素子数は 2^n 個，nMOSトランジスタ数は $2(2^n - 1)$ となる．したがって差動型でLUTを構成する場合この回路網が二つ必要となるため，回路網全体のTMR素子，nMOSトランジスタ数はそれぞれ 2^{n+1} 個， $4(2^n - 1)$ 個となる．

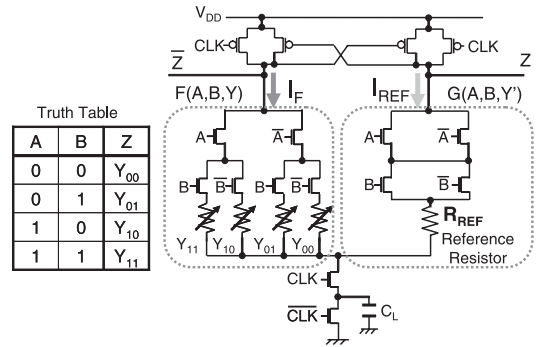


図7 参照電流を用いた2入力TMRロジックベースLUT
Fig.7 2-input TMR-logic based LUT using reference current.

2.3.2 参照電流を用いたTMRロジックベースLUT

前項で述べたように，差動型TMRロジックベースLUTのTMR/トランジスタネットワーク対を構成するために要する素子数は指数関数的に増加する，例えば2入力LUTにおいて必要なTMR素子，nMOSトランジスタの数はそれぞれ8, 12個であるのに対し，実用レベルである4入力LUTにおいてはそれぞれ32, 60個となる．

ここでLUT回路のコンパクト化を考えた場合，必ずしもTMR/トランジスタネットワークの相補ペアを用意する必要がなく，ある種の電流差を生じさせることで演算が実現可能なことに着目する．すなわち，以下のような関係を満たす参照電流 I_{REF} を考える．

$$I_{AP} < I_{REF} < I_P \quad (2)$$

このような電流値を設定することで， I_P , I_{AP} のいずれの場合にも電流差を生じさせることが可能となる．

この比較方式に基づく回路実装の例として図7に2入力のTMRロジックベースLUTの回路図を示す．参照抵抗/トランジスタネットワークは，入力(A, B)に同期して所望の参照電流が流れるように図7に示すような4個のnMOSトランジスタを直並列接続し，更に以下の条件を満たす参照抵抗をその下端に接続している．

$$R_P < R_{REF} < R_{AP} \quad (3)$$

図8にXORの演算例を示す．CLKがHighのときに(A, B) = (1, 0)が入力されると，図中の矢印に従いTMR素子 Y_{10} 及び参照抵抗にそれぞれ電流 I_F

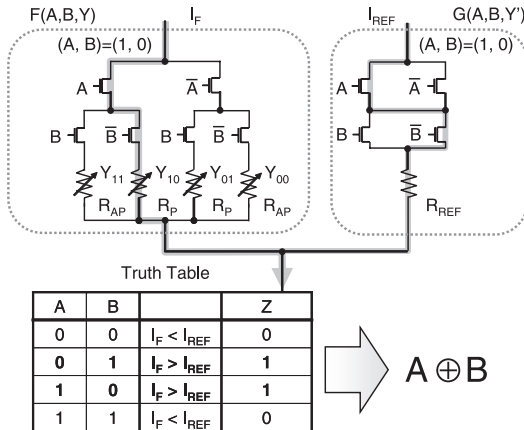


図 8 提案方式に基づく XOR 演算の例
Fig. 8 XOR operation based on the proposed method.

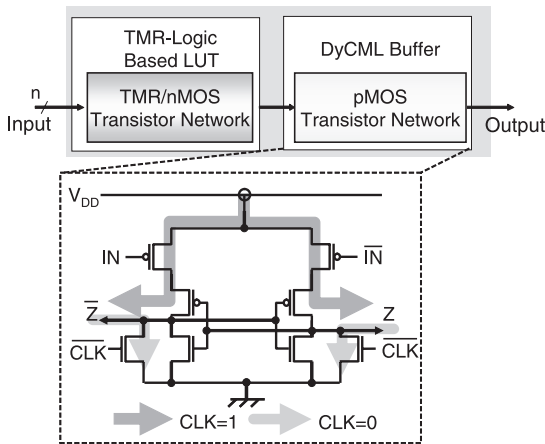


図 9 DyCML バッファ
Fig. 9 DyCML buffer.

及び I_{REF} が流れる．このとき、 Y_{10} の記憶状態は ‘1’ であるから抵抗値は R_P ，すなわち $I_F > I_{REF}$ となるため DyCML の動作原理に従い出力 Z は 1 となる．

本方式で n 入力 LUT を構成する場合、参照抵抗/トランジスタネットワークを構成するのに必要な nMOS トランジスタ数は $2n$ 個となり、回路網全体としての素子数は TMR 素子が 2^n 個、nMOS トランジスタが $2(2^n + n - 1)$ 個となる．

2.4 DyCML バッファ

DyCML 回路同士を連結する一手法として、前段回路と次段回路間にバッファリング回路を挿入し非同期的に回路を動作させる self-timing scheme がある [17]．これに対し提案 LUT 回路では、図 9 に示す

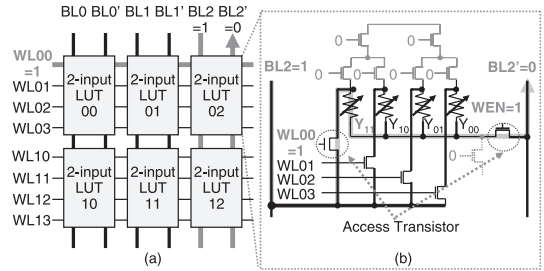


図 10 書き込み回路 (a) 書き込みモデル (b) 書き込みの例
Fig. 10 Write circuit. (a) Write model. (b) Example of write operation.

DyCML バッファを用いることで回路同士を連結し、同期的な制御を行う．DyCML バッファはクロック信号に同期して LUT の出力レベルを制御し、 CLK が High (\overline{CLK} が Low) のときには LUT 回路からの相補入力 (IN, \overline{IN}) に応じて V_{DD} または 0V に増幅された相補信号 (Z, \overline{Z}) を出力する一方、 CLK が Low (\overline{CLK} が High) のときには出力をともに 0V にすることで次段 LUT 回路の正常な論理動作を実現する．このように提案方式では、 n 形論理の LUT 回路と p 形論理の DyCML バッファを交互に連結することで、従来方式のような各段ごと個別の制御線を必要とせず単一クロックでの制御を可能とする

2.5 スピン注入書き込みに基づく書き込み回路

TMR 素子の書き込み回路は、スピン注入磁化反転現象を用いた書き込み方式に基づいて構成する．書き込み回路のモデルを図 10 (a) に示す．一つの TMR 素子の書き込みのため 2 本のビットライン BLi, BLi' ($0 \leq i \leq 2$) と 1 本のワードライン $WLjk$ ($0 \leq j \leq 1, 0 \leq k \leq 3$) を用いる．書き込みデータに応じて BLi, BLi' 間に流れる電流の方向を切り換え、 $WLjk$ を High にすることで書き込み動作を実現する．

図 10 に TMR 書き込みモデルに基づいて構成した書き込みバスを示す． WEN は演算用の電流バスと書き込み用の電流バスを切り換え、書き込みの際 WEN は High とする． $BL2 = 1, WL00 = 1$ であった場合、図中の矢印のように Y_{11} 電流が流れ、図 3 (b) に示した TMR 素子の R-I 特性から素子を書き換えることができる．書き込み回路によるトランジスタ数の増加は図 10 より TMR 素子 1 個当たりトランジスタ 1 個となる．

3. 性能評価

提案 TMR ロジックベース LUT の性能を評価するため、算術演算回路の例として 4-bit 逐次けた上げ

加算器 (RCA : ripple carry adder) を、従来 SRAM ベース LUT 及び TMR ロジックベース LUT で構成したものを図 11 に示す. 4-bit RCA は Sum 計算ブロックと Carry 計算ブロックからなり、それぞれ 4 個の LUT を用いる. SRAM ベース構成では、2 個の 8 バイト MRAM にも Sum 計算ブロック及び Carry 計算ブロックの回路情報を保持しており、電源投入時に MRAM から読み出された回路情報が LUT 内の SRAM に書き込まれる. 本性能評価においては、配線負荷として $C_{wire} = 0.1 \mu F$ を設定し、回路規模が小さいといった理由からクロックスキューは生じないものとした. また、TMR 素子は本文図 3 (b) に示したように、素子を流れる電流 I_{TMR} (若しくは印加電圧 V_{TMR}) に依存して抵抗値が変化するデバイスであり、シミュレーションを行う場合この特性をモデル化する必要がある. 本性能評価では HSPICE の基本モデルである電圧制御抵抗 (VCR : voltage controlled resistance) 素子の piecewise linear (PWL) モードを用いてモデル化した. PWL モードはある入力に対する出力をあらかじめ設定しておくことで複雑な演算を実現し、制御点の入力が行われた場合の出力値は制御点の曲線補間によって補間される. 本評価におけ

る TMR 素子モデルの MR 比は実際のデバイス特性を想定して 500% [13] とし、parallel 時の抵抗値 R_P は $2k\Omega$ 、参照抵抗の抵抗値 R_{REF} は $6k\Omega$ とした. なお、上記モデルでは書込み時の特性は考慮されておらず、書込み時における遅延時間及び消費電力は [18] をもとに算出を行った.

表 1 に各構成における性能を比較した結果を示す. 参照電流を用いた TMR ロジックベース LUT では従来方式と比較して同等の遅延時間でありながら、Dy-CML で回路を構成することで動的電力が 57% まで削減されている. また、不揮発性記憶機能と MUX の機能を TMR/トランジスタネットワークに一体化することにより、素子数を 33% まで削減している. 更に TMR 素子は素子自体の大きさが非常に小さく形成できること、MOS トランジスタ上のメタル層間の Via コンタクト部分に作製できることから、面積オーバーヘッドがない. 相補型 TMR ロジックと比較しても TMR/トランジスタネットワークの片側を参照電流を用いて簡略化することで、素子数を 66% まで削減できていることが分かる.

回路のコンフィギュレーションに関しては、SRAM ベース構成の場合同一の回路情報を FPGA 内の SRAM 及び外部 MRAM に書き込む必要があるため、それぞれに要する時間と電力を加えた値となり、相補型 TMR ロジックでは 2 個の TMR 素子対に相補に回路情報を記憶する必要があるため、提案方式と比較して 2 倍の書込み時間及び電力が必要となる. Wake-up 時にかかる時間と電力に関して、TMR ロ

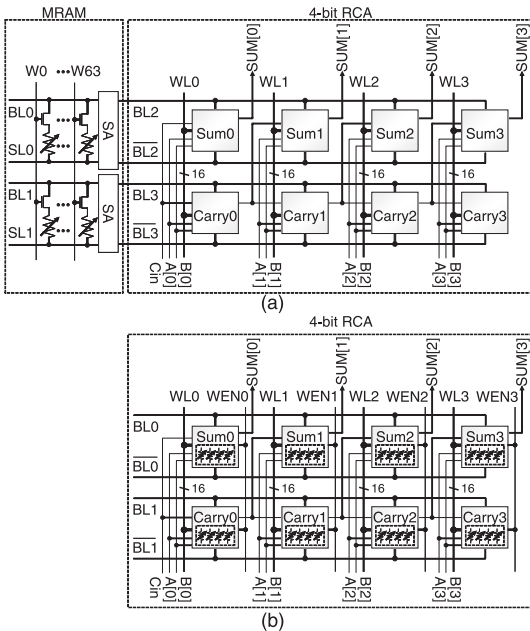


図 11 4 入力 LUT を用いた 4 ビット RCA (a) SRAM ベース (b) TMR ロジックベース

Fig. 11 4-bit RCA using 4-input LUT (a) SRAM based. (b) TMR-logic based.

表 1 性能評価
Table 1 Evaluation.

| | | SRAM-Based | Proposed | |
|--|---------------------|----------------|----------------------|----------------------|
| | | | Differential | Reference Current |
| Device Count | LUTs | 1,488Tr. | 856Tr. +256TMR+1C | 566Tr. +128TMR+1C |
| | MRAM ^(*) | 128Tr.+128TMR | 0 | 0 |
| | Total | 1616Tr.+128TMR | 856Tr. +256TMR+1C | 566Tr. +128TMR+1C |
| Delay ^(**) | | 4.06ns | 4.04ns | 4.04ns |
| Dynamic Power @ 50MHz ^(**) | | 540μW | 287μW | 310μW |
| Standby Power@1.8V ^(**) | | 15nW | 0.68nW | 0.67nW |
| Configuration ^(***) | Delay | 512ns | 512ns | 256ns |
| | Power | 1.62nJ | 2.21nJ | 1.11nJ |
| Wake-Up (Standby to Active) ^(***) | Delay | 512ns | 0μs | 0μs |
| | Power | 0.74nJ | 0nJ | 0nJ |

(*) Its peripheral circuits are not considered in this evaluation.

(**) HSPICE simulation based on a standard 0.18μm CMOS technology

(***) Estimation with [18]

ジック構成では回路情報が内部に搭載されるため書込み遅延及び電力はゼロにすることができるが、SRAM ベース構成においては MRAM から読み出した回路情報を SRAM に書き込む必要があり、また MRAM と SRAM 間の配線容量の影響で実際の値は更に大きくなると考えられる。

次に 4 入力 LUT の待機電力について考える。図 12 に待機時の SRAM セル及び提案の TMR ロジックベース LUT の等価回路を示す。 R_{ON} , R_{OFF} はそれぞれトランジスタが ON 状態, OFF 状態における抵抗値であり、 $R_{ON} \ll R_{OFF}$ という関係が成り立つ。したがって図 12(a) においては実質 R_{OFF} が並列に接続した状態となっており、その合成抵抗は $R_{cell} = R_{OFF}/2$ となる。4 入力 LUT においては 16 個の SRAM セルが並列接続されており、その出力端に NOT 回路が接続されることから全体の合成抵抗は $R_{LUT} = R_{OFF}/34$ となる。提案の TMR ロジックベース LUT (CLK は Low とする) において、TMR (または参照抵抗)/トランジスタネットワークの合成抵抗は n を LUT の入力数として図 12(b) 中の R_{D1} (R_{D2}) で表される。また、DyCML バッファの合成抵抗は $2R_{OFF}$ となる。今 $n = 4$ とし合成抵抗を算出すると $R'_{LUT} = (141/140)R_{OFF}$ となる。したがって $R_{LUT}/R'_{LUT} = 0.029$ となることから、提案方式では SRAM ベース構成と比較して待機電力を概算で約 3% まで削減できていることが分かる。相補型についても同様に定式化でき、その合成抵抗は $R''_{LUT} = (141/191)R_{OFF}$ であり、 $R_{LUT}/R''_{LUT} = 0.040$ となる。したがって、電源を印加した状態において待機電力を数% まで削減できていることが分かり、実際 HSPICE シミュレーションで

も同等の削減効果を得ている。

4. むすび

本論文では、TMR 素子と MOS トランジスタを組み合わせた回路技術、TMR ロジックを活用し、静的電力の完全遮断かつ高速復帰が可能な LUT 回路を提案した。また、参照電流を用いることで従来の差動型構成と比較して素子数が削減できることについて述べた。提案回路の評価として RCA を構成し、HSPICE シミュレーションにより遅延時間及び動的電力について比較を行い、参照電流を用いた TMR ロジックベース LUT で RCA を構成した場合、SRAM ベース構成に比べて同等の遅延時間で動的電力を 57%、素子数を 33% まで削減できることを示した。また、不揮発性記憶機能を LUT 回路に内蔵させることで待機電力を完全に遮断し、更に電源投入後瞬時に復帰できるという利点を有することを定量的に評価した。今後微細化の進展に伴い待機電力が動的電力以上に増加するとされていることから、TMR ロジック LUT の有用性は更に高まるものと考えられる。

今後の検討事項としては、微細化に伴う動作マージンの低下による影響とその対策が挙げられる。本論文で提案した参照電流を用いた回路構成においては、式 (2) に示したように I_{AP} と I_P の間の電流値で比較演算を行うため、ノイズやトランジスタ特性のばらつきに対して影響を受けやすく、動作マージンが減少してしまう可能性がある。更に連結した LUT に同時にクロックを供給する場合、後段の LUT 回路の C_1, C_2 ノードが漏れ電流によって放電される前に演算が完了する必要があるため、クロック周波数がある一定以上に保つ必要がある。この制限は微細化が進むほど、漏れ電流の増加で厳しくなると考えられる。今後は、これらの問題に対する検討を行うとともに、書込み特性を含めた TMR 素子のより正確なシミュレーションモデルを構築することで、信頼性の高い LUT 回路を実現することが重要であると考えられる。

謝辞 本研究は文部科学省 IT プログラム「高機能・超低消費電力スピンドデバイス・ストレージ基盤技術の開発」プロジェクト(研究代表: 大野英男教授)において実施された。また、本研究は東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社の協力で行われたものである。

文 献

[1] P. Chow, S.O. Seo, J. Rose, K. Chung, G. Paez-

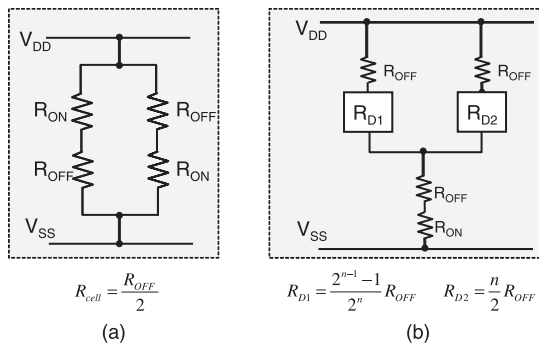


図 12 待機時の等価回路 (a) SRAM セル (b) TMR ロジックベース LUT
Fig. 12 Equivalent circuit at the standby mode. (a) SRAM Cell. (b) TMR-logic based LUT.

- Monzon, and I. Rahardja, "The design of an SRAM-based field-programmable gate array part I architecture," *IEEE Trans. Very Large Scale Integr. (VLSI) Syst.*, vol.7, no.2, pp.191-197, June 1999.
- [2] P.H.W. Leong, "Recent trends in FPGA architectures and applications," 4th IEEE International Symposium on Electronic Design, Test and Applications 2008, pp.137-141, Hong Kong, Jan. 2008
- [3] J.H. Anderson and F.N. Najm, "Active leakage power optimization for FPGAs," *IEEE Trans. Comput.-Aided Des. Integr. Circuits Syst.*, vol.25, no.3, pp.423-437, March 2006.
- [4] A. Lodi, L. Ciccarelli, and R. Guerrieri, "Low leakage techniques for FPGAs," *IEEE J. Solid-State Circuits*, vol.41, no.7, pp.1662-1672, July 2007.
- [5] W.K. Henson, N. Yang, S. Kubicek, E.M. Vogel, J.J. Wortman, K.D. Meyer, and A. Naem, "Analysis of leakage currents and impact on off-state power consumption for CMOS technology in the 100-nm regime," *IEEE Trans. Electron Devices*, vol.47, no.7, pp.1393-1400, July 2000.
- [6] Semiconductor Industry Association. International Technology Roadmap for Semiconductors, 2005. <http://public.itrs.net/>
- [7] T. Tuan, S. Kao, A. Rahman, S. Das, and S. Trimmerger, "A 90 nm low-power FPGA for battery-powered applications," International Symposium on FPGAs, Monterey, Feb. 2006.
- [8] B.H. Calhoun, F.A. Honore, and A.P. Chandrakasan, "A leakage reduction methodology for distributed MTCMOS," *IEEE J. Solid-State Circuits*, vol.39, no.5, pp.818-826, May 2004.
- [9] J. Jaffari and M. Anis, "Thermal driven placement for island-style MTCMOS FPGAs," *J. Computers*, vol.3, no.4, pp.24-30, April 2008.
- [10] Y. Lin, F. Li, and L. He, "Field programmability of supply voltages for FPGA power reduction," *IEEE Trans. Comput.-Aided Des. Integr. Circuits Syst.*, vol.26, no.4, pp.752-764, April 2007.
- [11] S. Bijansky and A. Aziz, "TuneFPGA: Post-silicon tuning of dual-Vdd FPGAs," *Proc. 45th Annual Conference on Design Automation*, pp.796-799, 2008.
- [12] A. Mochizuki, H. Kimura, M. Ibuki, and T. Hanyu, "TMR-based logic-in-memory circuit for low-power VLSI," *IEICE Trans. Fundamentals*, vol.E88-A, no.6, pp.1408-1415, June 2005.
- [13] T. Kawahara, R. Takemura, K. Miura, J. Hayakawa, S. Ikeda, Y.M. Lee, R. Sasaki, Y. Goto, K. Ito, T. Meguro, F. Matsukura, H. Takahashi, H. Matsuoka, and H. Ohno, "2 Mb SPRAM (spin-transfer torque RAM) with bit-by-bit bi-directional current write and parallelizing-direction current read," *IEEE J. Solid-State Circuits*, vol.43, no.1, pp.109-120, Jan. 2008.
- [14] K.J. Hass, G.W. Donohoe, Y.-K. Hongt, B.-C. Choi, K. DeGregorio, and R. Hayhurst, "Magnetic shadow RAM," *Non-Volatile Memory Technology Symposium 2006*, pp.45-48, San Mateo, Nov. 2006.
- [15] W. Zhao, E. Belhaire, C. Chappert, and P. Mazoyer, "Spintronic device based non-volatile low standby power SRAM," *IEEE Computer Society Annual Symposium on VLSI 2008*, pp.40-45, Montpellier, 2008.
- [16] D. Suzuki, T. Endoh, and T. Hanyu, "TMR-logic-based LUT for quickly wake-up FPGA," 51st IEEE Midwest Symposium on Circuits and Systems, pp.326-329, Knoxville, Aug. 2008.
- [17] M.W. Allam and M.I. Elmasry, "Dynamic current mode logic (DyCML): A new low-power high-performance logic style," *IEEE J. Solid-State Circuits*, vol.36, no.3, pp.550-558, March 2001.
- [18] T. Aoki, Y. Ando, D. Watanabe, M. Oogane, and T. Miyazaki, "Spin transfer switching in the nanosecond regime for CoFeB/MgO/CoFeB ferromagnetic tunnel junctions," *J. Appl. Phys.*, vol.103, 103911, 2008.
(平成 20 年 10 月 24 日受付, 21 年 1 月 11 日再受付)

鈴木 大輔 (学生員)



平 16 東北大・工・電気卒・平 18 同大学院修士課程了。同年同大学院博士課程進学, 現在に至る。TMR 素子を用いた FPGA の構成に関する研究に従事。IEEE Student Member。

夏井 雅典 (正員)



平 12 東北大・工・情報卒・平 17 同大学院博士課程了。同年豊橋技術科学大情報工学系助手, 平 19 同助教, 平 20 東北大電気通信研究所助教, 現在に至る。TMR 素子を用いた回路設計技術に関する研究に従事。IEEE Member。

羽生 貴弘 (正員)



昭 59 東北大・工・電子卒。平元同大学院博士課程了。同年同大工学部助手, 平 5 同助教, 平 14 同大電気通信研究所教授, 現在に至る。不揮発性ロジックインメモリ VLSI とその応用に関する研究に従事。坂井記念賞受賞 (2000), 第 9 回 LSI デザイン・オブ・ザ・イヤー審査員特別賞 (2002), システム LSI ワークショップ優秀ポスター賞 (2002) などを受賞。IEEE Member。